

501.43529X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): NAKAYOSHI, ET AL.
Serial No.: Not yet assigned
Filed: March 10, 2004
Title: LIQUID CRYSTAL DISPLAY DEVICE
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 10, 2004


Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-063392, filed March 10, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Melvin Kraus
Registration No. 22,466

MK/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 6 3 3 9 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 6 3 3 9 2]

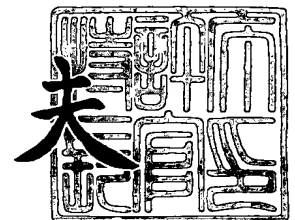
出 願 人 株 式 会 社 日 立 デ ィ ス プ レ イ ズ
Applicant(s):



2 0 0 3 年 1 1 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 330200291
【あて先】 特許庁長官殿
【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 仲吉 良彰

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 今城 由博

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 柳川 和彦

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列における対向電圧信号線はそれぞれフローティング状態になるように構成されていることを特徴とする液晶表示装置。

【請求項 2】 一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号線を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列におけるゲート信号線の大部分と対向電圧信号線はそれぞれフローティング状態になるように構成されていることを特徴とする液晶表示装置。

【請求項 3】 第 1 の方向に延在され第 2 の方向に並設されたゲート信号線と第 2 の方向に延在され第 1 の方向に並設されたドレイン信号線とで囲まれた領域を画素領域とし、

これら画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる対向電極とを有し、

各ゲート信号線との間に走行し前記対向電極と接続される対向電圧信号線が形成され、

走査信号を供給するゲート信号線以外の他のゲート信号線の大部分をフローティングする手段と、

走査信号が供給されたゲート信号線によって前記薄膜トランジスタが駆動する画素領域に走行する対向電圧信号線に対向電圧信号を供給し、他の対向電圧信号線をフローティング状態とする手段とを備えることを特徴とする液晶表示装置。

【請求項 4】 各対向電圧信号線は、その駆動回路から走査された信号によってオンされるスイッチを介して対向電圧信号が供給され、該信号が次の対向電圧信号線に走査されて供給される際に

前記次の対向電圧信号線の供給の前に対向電圧信号が供給された対向電圧信号線をフローティング状態とすることを特徴とする請求項 1 ないし 3 のいずれか記載の液晶表示装置。

【請求項 5】 各対向電圧信号線は選択される複数の対向電圧信号線でグループ化されていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】 各グループの対向電圧信号線どおしを対向電圧信号の供給側と反対側の端部で互いに接続されていることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】 各対向電圧信号線は、それぞれ対向電圧信号の供給側と反対側の端部にて、前記対向電圧信号が常時供給される修正用配線と接続しえる状態で形成されていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 8】 各ゲート信号線は、その駆動回路から走査された信号によってオンするスイッチを介して走査信号が供給され、該信号が次のゲート信号線に走査されて供給される際に、オフ信号によってオフされ、さらに次のゲート信号線に走査信号線が供給される際に、2 つ前に走査信号が供給されたゲート信号線をフローティング状態とすることを特徴とする請求項 2 および 3 のうちいずれかに記載の液晶表示装置。

【請求項 9】 各ドレイン信号線にそれぞれ供給される映像信号の極性は隣接するドレイン信号線において同相であることを特徴とする請求項 2 および 3 の

うちいずれかに記載の液晶表示装置。

【請求項 10】 各対向電圧信号線に走査によって供給される対向電圧信号の極性は該供給毎に反転させていることを特徴とする請求項 9 に記載の液晶表示装置。

【請求項 11】 第 1 方向に延在され該第 1 方向と交差する第 2 方向に並設されるゲート信号線と第 2 方向に延在され第 1 方向に並設されるドレイン信号線とで囲まれる画素に、

前記ゲート信号線からの走査信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる電極であって前記ゲート信号線とはほぼ平行に形成される対向電圧信号線から走査される対向電圧信号が供給される対向電極とを備え、

前記対向電圧信号線は絶縁膜を介してゲート信号線を被って形成されているとともに、前記対向電極は当該画素のスイッチング素子と接続されるゲート信号線と該画素を挟んで形成される他のゲート信号線を被う対向電圧信号線と接続され、

走査信号が供給されるゲート信号線以外の他の大部分のゲート信号線がフローティング状態とするとともに、対向電圧信号が供給される対向電圧信号線以外の対向電圧信号線がフローティング状態となることを特徴とする液晶表示装置。

【請求項 12】 前記対向電圧信号線とこれに接続される対向電極は透光性の導電層で形成されていることを特徴とする請求項 11 に記載の液晶表示装置。

【請求項 13】 対向電圧信号線はそれによって被われるゲート信号線に同層かつ隣接して配置される金属の導電層とスルーホールを通して電氣的に接続されていることを特徴とする請求項 12 に記載の液晶表示装置。

【請求項 14】 一方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および

基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列におけるゲート信号線の大部分と対向電圧信号線はそれぞれフローティング状態になるように構成され、

かつ、前記走査信号と基準信号はそれぞれ一つの回路から供給され、この回路からは走査信号のオン・オフを含む信号と基準信号とが時間をずらして送出されるようになっていることを特徴とする液晶表示装置。

【請求項 15】 前記回路は、走査信号のオン・オフを含む信号がそれぞれ常時供給される端子および基準信号が常時供給される端子を有し、スイッチ回路を介して選択された前記各端子から前記ゲート信号線および対向電圧信号線にそれぞれ走査信号および基準信号を送出させることを特徴とする請求項 14 に記載の液晶表示装置。

【請求項 16】 対向電圧信号線に供給する基準信号は AC 電圧波形をブーストした信号としていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 17】 一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、その信号の電圧値は該画素列に供給される映像信号の電圧値に応じて設定されていることを特徴とする液晶表示装置。

【請求項 18】 一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列における対向電圧信号線はそれぞれフローティング状態になるように構成され、

前記基準信号を送出させる駆動回路は、前記映像信号を送出させる駆動回路と並設されて配置されていることを特徴とする液晶表示装置。

【請求項 19】 前記基準信号を送出させる駆動回路および前記映像信号を送出させる駆動回路は、それぞれ複数の半導体装置から構成され、基準信号を送出させる半導体装置と映像信号を送出させる半導体装置は交互に配置されるとともに、それら各半導体装置はデータ伝送配線を介して接続されていることを特徴とする請求項 18 に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、たとえば液晶を介して対向配置される各基板のうち一方の基板の液晶側の面にゲート信号線、ドレイン信号線、対向電圧信号線を備える液晶表示装置に関する。

【0002】

【従来の技術】

たとえば、横電界方式と称される液晶表示装置は、その一方の基板の液晶側の各画素に画素電極とこの画素電極との間に電界を発生させる対向電極とを備えている。

【0003】

そして、前記画素電極には、ゲート信号線からの走査信号によって駆動されるスイッチング素子を介してドレイン信号線からの映像信号が供給されるようになっており、前記対向電極には、対向電圧信号線を介して前記映像信号に対して基準となる基準信号が供給されるようになっている。

【0004】

ここで、図 53 に示すように、前記ゲート信号線 GL1、GL2、……、GLn は、一方の基板の液晶側の面において、たとえばその x 方向に延在され y 方向

に並設されて形成され、前記ドレイン信号線DL1、DL2、……、DLnは、y方向に延在されx方向に並設されて形成されているのが通常である。また、対向電圧信号線CL1、CL2、……、CLnは前記各ゲート信号線の間にそれらゲート信号線GL1、GL2、……、GLnとほぼ平行に配置されているのが通常である。

【0005】

なお、各ゲート信号線GL1、GL2、……、GLnはたとえばその一端に接続される走査信号駆動回路Vからの走査信号によって順次選択されるようになっており、この選択のタイミングに合わせて各ドレイン信号線DL1、DL2、……、DLnはたとえばその一端に接続される映像信号駆動回路Heから映像信号が供給されるようになっている。各対向電圧信号線CL1、CL2、……、CLnはたとえばその一端で共通に接続され、それぞれに基準信号が供給されるようになっている。なお、このような技術はたとえば下記特許文献1に開示されている。

【特許文献1】

特願平11-271788号公報

【0006】

【発明が解決しようとする課題】

しかしながら、このように構成される液晶表示装置は、前記ドレイン信号線DLのそれぞれに対し、多数のゲート信号線GLと対向電圧信号線CLが交差して配置されることになる。

【0007】

例えば、解像度SXGA (1280×1024) の場合、ドレイン信号線DLに対しゲート信号線GL、対向電圧信号線CLはそれぞれ最低1024の交差点を有することになり、この交差点は解像度を向上させるとともに増加するようになる。

【0008】

ここで、ドレイン信号線DLとゲート信号線GLの交差点において発生するドレイン-ゲート寄生容量Cgd、およびドレイン信号線DLと対向電圧信号線CLの交差点において発生するドレイン-コモン寄生容量Ccdは、それぞれ並列に接

続されるため、たとえば解像度SXGAでは一本のドレイン信号線DLに対して、 $1024 \times (C_{gd} + C_{cd})$ の寄生容量を少なくとも有することになる。

【0009】

このことは、ドレイン信号線DLに信号を書き込むことによって、同時にこの寄生容量に電荷を充電することを意味する。

【0010】

しかも、ドレイン信号線DLがスイッチング素子を経由して書き込む画素は1画素毎であるのに対し、前記寄生容量は全画素にわたって生じることになる。

【0011】

すなわち、1つの画素に電荷を供給するために、1024の画素の各寄生容量に電荷を、すなわち表示に不用な電荷を供給しなければならないことを意味する。

【0012】

したがって、前記各寄生容量によって大量の電荷が消費されるため、ドレイン信号線DLに供給すべき電流が本来必要な値からかけ離れたものなり、消費電力の大幅な増大が生じることになる。

【0013】

同様の課題は、上記特願平11-271788号公報に示唆されており、該公報には、対向電圧信号線から対向電極への信号供給をスイッチング素子を介して行うことにより、該対向電極をフローティングにして寄生容量を低減することがたとえばその段落[0015]に開示している。

【0014】

しかし、上記公報には上述した各交差部の寄生容量を低減させるまでには至っていないものである。

【0015】

本発明は、このような事情に基づいてなされたものであり、その目的は、ドレイン信号線に映像信号を供給する際に、その不要な電力消費が生じるのを大幅に低減させることのできる液晶表示装置を提供することにある。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0017】

手段1.

本発明による液晶表示装置は、たとえば、一の方に並設された画素列が該一の方と交差する方に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列における対向電圧信号線はそれぞれフローティング状態になるように構成されていることを特徴とするものである。

【0018】

手段2.

本発明による液晶表示装置は、たとえば、一の方に並設された画素列が該一の方と交差する方に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号線を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列におけるゲート信号線の大部分と対向電圧信号線はそれぞれフローティング状態になるように構成されていることを特徴とするものである。

【0019】

手段3.

本発明による液晶表示装置は、たとえば、第1の方に延在され第2の方に並設されたゲート信号線と第2の方に延在され第1の方に並設されたドレイ

ン信号線とで囲まれた領域を画素領域とし、

これら画素領域に、ゲート信号線からの走査信号によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる対向電極とを有し、

各ゲート信号線との間に走行し前記対向電極と接続される対向電圧信号線が形成され、

走査信号を供給するゲート信号線以外の他のゲート信号線の大部分をフローティングする手段と、

走査信号が供給されたゲート信号線によって前記薄膜トランジスタが駆動する画素領域に走行する対向電圧信号線に対向電圧信号を供給し、他の対向電圧信号線をフローティング状態とする手段とを備えることを特徴とするものである。

【0020】

手段4.

本発明による液晶表示装置は、たとえば、前記手段1ないし3のいずれかの構成を前提とし、各対向電圧信号線は、その駆動回路から走査された信号によってオンされるスイッチを介して対向電圧信号が供給され、該信号が次の対向電圧信号線に走査されて供給される際に

前記次の対向電圧信号線の供給の前に対向電圧信号が供給された対向電圧信号線をフローティング状態とすることを特徴とするものである。

【0021】

手段5.

本発明による液晶表示装置は、たとえば、前記手段4の構成を前提とし、各対向電圧信号線は選択される複数の対向電圧信号線でグループ化されていることを特徴とするものである。

【0022】

手段6.

本発明による液晶表示装置は、たとえば、前記手段4の構成を前提とし、各グループの対向電圧信号線どおしを対向電圧信号の供給側と反対側の端部で互いに

接続されていることを特徴とするものである。

【0023】

手段 7.

本発明による液晶表示装置は、たとえば、前記手段 4 の構成を前提とし、各対向電圧信号線は、それぞれ対向電圧信号の供給側と反対側の端部にて、前記対向電圧信号が常時供給される修正用配線と接続しえる状態で形成されていることを特徴とするものである。

【0024】

手段 8.

本発明による液晶表示装置は、たとえば、前記手段 2 および 3 のいずれかの構成を前提とし、各ゲート信号線は、その駆動回路から走査された信号によってオンするスイッチを介して走査信号が供給され、該信号が次のゲート信号線に走査されて供給される際に、OFF 信号によってオフされ、さらに次のゲート信号線に走査信号線が供給される際に、2 つ前に走査信号が供給されたゲート信号線をフローティング状態とすることを特徴とするものである。

【0025】

手段 9.

本発明による液晶表示装置は、たとえば、前記手段 2 および 3 のいずれかの構成を前提とし、各ドレイン信号線にそれぞれ供給される映像信号の極性は隣接するドレイン信号線において同相であることを特徴とするものである。

【0026】

手段 10.

本発明による液晶表示装置は、たとえば、前記手段 9 の構成を前提とし、各対向電圧信号線に走査によって供給される対向電圧信号の極性は該供給毎に反転させていることを特徴とするものである。

【0027】

手段 11.

本発明による液晶表示装置は、たとえば、第 1 方向に延在され該第 1 方向と交差する第 2 方向に並設されるゲート信号線と第 2 方向に延在され第 1 方向に並設

されるドレイン信号線とで囲まれる画素に、

前記ゲート信号線からの走査信号によってオンされるスイッチング素子と、このスイッチング素子を介して前記ドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる電極であって前記ゲート信号線とほぼ平行に形成される対向電圧信号線から走査される対向電圧信号が供給される対向電極とを備え、

前記対向電圧信号線は絶縁膜を介してゲート信号線を被って形成されているとともに、前記対向電極は当該画素のスイッチング素子と接続されるゲート信号線と該画素を挟んで形成される他のゲート信号線を被う対向電圧信号線と接続され、

走査信号が供給されるゲート信号線以外の他の大部分のゲート信号線がフローティング状態とするとともに、対向電圧信号が供給される対向電圧信号線以外の対向電圧信号線がフローティング状態となることを特徴とするものである。

【0028】

手段12.

本発明による液晶表示装置は、たとえば、前記手段11の構成を前提とし、前記対向電圧信号線とこれに接続される対向電極は透光性の導電層で形成されていることを特徴とするものである。

【0029】

手段13.

本発明による液晶表示装置は、たとえば、前記手段12の構成を前提とし、対向電圧信号線はそれによって被われるゲート信号線に同層かつ隣接して配置される金属の導電層とスルーホールを通して電氣的に接続されていることを特徴とするものである。

【0030】

手段14.

本発明による液晶表示装置は、たとえば、一の方向に並設された画素列が該一の方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号と

この映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列におけるゲート信号線の大部分と対向電圧信号線はそれぞれフローティング状態になるように構成され、

かつ、前記走査信号と基準信号はそれぞれ一つの回路から供給され、この回路からは走査信号のオン・オフを含む信号と基準信号とが時間をずらして送出されるようになっていることを特徴とするものである。

【0031】

手段15.

本発明による液晶表示装置は、たとえば、前記手段14の構成を前提とし、前記回路は、走査信号のオン・オフを含む信号がそれぞれ常時供給される端子および基準信号が常時供給される端子を有し、スイッチ回路を介して選択された前記各端子から前記ゲート信号線および対向電圧信号線にそれぞれ走査信号および基準信号を送出させることを特徴とするものである。

【0032】

手段16.

本発明による液晶表示装置は、たとえば、前記手段1の構成を前提とし、対向電圧信号線に供給する基準信号はAC電圧波形をブーストした信号としていることを特徴とするものである。

【0033】

手段17.

本発明による液晶表示装置は、たとえば、一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、その信号の電圧値は該画素列に供給される映像信号の電圧値に応じて設定されていることを特徴とするものである。

【 0 0 3 4 】

手段 1 8 .

本発明による液晶表示装置は、たとえば、一の方向に並設された画素列が該一の方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列における対向電圧信号線はそれぞれフローティング状態になるように構成され、

前記基準信号を送出させる駆動回路は、前記映像信号を送出させる駆動回路と並設されて配置されていることを特徴とするものである。

【 0 0 3 5 】

手段 1 9 .

本発明による液晶表示装置は、たとえば、前記手段 1 8 の構成を前提とし、前記基準信号を送出させる駆動回路および前記映像信号を送出させる駆動回路は、それぞれ複数の半導体装置から構成され、基準信号を送出させる半導体装置と映像信号を送出させる半導体装置は交互に配置されるとともに、それら各半導体装置はデータ伝送配線を介して接続されていることを特徴とするものである。

【 0 0 3 6 】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【 0 0 3 7 】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0038】

実施例 1.

図 1 は、本発明による液晶表示装置の一実施例を示す等価回路図である。

図に示す等価回路は液晶を介して互いに対向配置される各基板のうち一方の基板の液晶側の面に形成される回路を示している。

【0039】

同図において、その x 方向に延在し y 方向に並設されたゲート信号線 GL (GL 1、GL 2、……、GL n、……) と y 方向に延在し x 方向に並設されたドレイン信号線 DL (DL 1、DL 2、……、DL n、……) とが形成されている。

【0040】

各ゲート信号線 GL と各ドレイン信号線 DL とで囲まれた領域は画素領域を構成するとともに、これら各画素領域のマトリクス状の集合体は液晶表示部 AR を構成するようになっている。

【0041】

また、x 方向に並設される各画素領域のそれぞれにはそれら各画素領域内に走行された共通の対向電圧信号線 CL (CL 1、CL 2、……、CL n、……) が形成されている。この対向電圧信号線 CL は各画素領域の後述する対向電極 CT に映像信号に対して基準となる対向電圧信号を供給するための信号線となるものである。

【0042】

各画素領域には、その片側のゲート信号線 GL からの走査信号によって作動される薄膜トランジスタ TFT と、この薄膜トランジスタ TFT を介して片側のドレイン信号線 DL からの映像信号が供給される画素電極 PX が形成されている。

【0043】

この画素電極 PX は、前記対向電極 CT との間に電界を発生させ、この電界によって液晶の光透過率を制御させるようになっている。なお、図中液晶を介して画素電極 PX と対向電極 CT の間に生じる容量を Clc で示している。

【0044】

前記ゲート信号線 GL のそれぞれのたとえば図中左側の一端は走査信号駆動回

路Vに接続されている。また、前記ドレイン信号線DLのそれぞれのたとえば図中上側の一端は映像信号駆動回路Heに接続されている。

【0045】

前記各ゲート信号線GLは、走査信号駆動回路Vからの走査信号によって、その一つが順次選択されるようになっており、この選択のタイミングに合わせて、前記各ドレイン信号線DLのそれぞれには、映像信号が供給されるようになっている。

【0046】

さらに、この実施例では、前記対向電圧信号線CLのそれぞれのたとえば図中右側の一端は共通電極駆動回路に接続されている。この共通電極駆動回路は映像信号に対して基準となる基準信号を各対向電圧信号線CLのうち、走査信号駆動回路によって選択された画素列の対向電極CTに接続されている対向電圧信号線CLに供給されるようになっている。なお、前記基準信号は、以下の説明において、対向電圧信号と称する場合がある。

【0047】

また、図1において、画素電極PXと対向電圧信号線CLとの間には容量素子Cstgが形成されている。この容量素子Cstgは画素電極PXに供給された映像信号を比較的長い時間の間該画素電極PXに蓄積させるためである。

【0048】

図2は前記共通電極駆動回路Cmの駆動方法の概念を示す図で、図1に示した薄膜トランジスタTF T、画素電極PX、対向電極CT、容量素子Cstgは省略して示している。

【0049】

同図において、走査信号駆動回路Vからの走査信号の供給をスイッチング回路SW1の切り替えによって行い、今、ゲート信号線GL3が選択されているとする。この際、共通電極駆動回路Cmからの対向電圧信号の供給をスイッチング回路SW2の切り替えによって行い、対向電圧信号線CL3が選択されるようになる。

【0050】

ここで、ゲート信号線GL3はx方向に並設された画素列の各薄膜トランジスタTFTを駆動するゲート信号線であるとともに、対向電圧信号線CL3は該画素列の対向電極CTに接続される対向電圧信号線であり、それ以外の画素列におけるゲート信号線GLおよび対向電圧信号線CLはそれぞれ走査信号駆動回路Vおよび共通電極駆動回路Cmから電氣的に切り離され、フローティング状態となっている。

【0051】

ここで、各画素領域の集合体である液晶表示部ARは図示しないシール材の内側に位置づけられ、走査信号駆動回路V、映像信号駆動回路He、共通電極駆動回路Cmのそれぞれは該シール材の外側に位置づけられている。ここで前記シール材は一方の基板に対する他方の基板の固着、かつ液晶を封止するために形成されるものである。

【0052】

このように構成された液晶表示装置は、走査されたゲート信号線GLによって選択される画素列以外の他の画素列におけるゲート信号線GLおよび対向電圧信号線CLはフローティングされることになる。

【0053】

このことから、電位が変動するドレイン信号線DLとゲート信号線GLおよび対向電圧信号線CLとの寄生容量は理想的には0となる。ここで、理想的状態で考えると、ゲート信号線GLのうち、寄生容量を構成する配線は1本となり、寄生容量Cgdは1/1024に劇的に低減する。また、対向電圧信号線CLのうち、寄生容量を構成する配線も1本となり、寄生容量Ccdは1/1024に劇的に低減する。このため、寄生容量全体としては1/1024に劇的に低減する。

【0054】

この場合、走査信号と対向電圧信号の双方がともにOFFになることが必要となる。何故なら、仮に一方のみがOFFした場合、例えば寄生容量Cgdが1/1024になっても寄生容量Ccdが従来通りで変化しない場合には、寄生容量全体では約1/2に低減するのみであり、両方をOFFにした場合の1/1024とは効果に2桁の差が生じることになるからである。

【0055】

なお、この実施例では、選択される画素列以外の他の画素列におけるゲート信号線GLおよび対向電圧信号線CLのいずれもフローティング状態としたものである。しかし、対向電圧信号線CLのみをフローティング状態とするようにしてもよい。

【0056】

対向電圧信号線CLのみをフローティング状態とすることによって、ゲート信号線GLをフローティングする場合とは異なる他の効果を奏するからである。

【0057】

すなわち、一つの対向電圧信号線CLに着目した場合、その対向電圧信号線CLには各画素毎の画素電極PXとの間に容量素子Cstgが接続され、該容量素子Cstgの数は多数に及んでいる。

【0058】

このような場合において、薄膜トランジスタTFTのON時に画素電極PXの各電位は該薄膜トランジスタTFTを介して供給される映像信号Dの電位により決定されることになる。該薄膜トランジスタTFTのON時に画素電極PXに供給される電圧をPXonとした場合、該薄膜トランジスタTFTのOFFへの切り替わり時の飛び込み電圧により、画素電極PXは保持期間中の電位PXoffとなる。ここで、飛び込み電圧とは、画素電極PXの電圧差(PXon-PXoff)を示す。そして、このPXoffと対向電極CTの電位により液晶分子を駆動する。

【0059】

前記飛び込み電圧は、薄膜トランジスタTFTの各部のサイズ、交差面積、絶縁膜の膜厚等に依存する。そして、これらの値は、製造工程中である範囲のばらつきが必ず生じるものであり、個々の全ての製品において同一の値を維持することは極めて困難となっている。このため、飛び込み電圧の値も製品毎に異なった特性を示すものとなる。

【0060】

一方、液晶は、直流電圧の蓄積によるフリッカ、残像等を回避するため、ライ

ン単位あるいはフレーム単位等で交流化して駆動されるのが通常である。この交流化は、対向電圧信号線CLの電位に対してのものであり、すなわち長時間平均で対向電圧信号線と画素電極PXの電圧差に直流電圧が生じないようにするためである。

【0061】

従来において、対向電圧信号線CLの電位は薄膜トランジスタTFTのOFF期間においても外部から供給され、その電圧は予め定められた電圧であった。そしてこの電圧は、直流電圧が蓄積しないように、正極、負極のPXoffの中心電圧に設定するようにしていた。これがいわゆる最適Vcomと呼ばれる電圧である。

【0062】

しかし、この最適Vcomを外部から供給する方式では、前述の個々の製品での飛び込み電圧の差によるPXoffのばらつきに対応することが困難となっていた。さらに、薄膜トランジスタTFTの特性は使用環境等により長時間の使用で変動することがある。これは、近年のパーソナルコンピュータの製品寿命の長期化、またTV用途のように10年以上の使用が当然となってきた状況では、より一層クローズアップされるべき問題となっている。

【0063】

そしてこの薄膜トランジスタTFTの特性の変動によっても、飛び込み電圧は影響を受け、製品製作時とは飛び込み電圧が異なったものとなる。さらに、ゲート電圧を発生するドライバ、そのドライバにゲート電圧を供給する電源回路も長時間の使用による特性の変動は生じうる。これも飛び込み電圧に影響を及ぼす。

【0064】

したがって、従来の最適Vcomを外部から予め定まった電圧として供給する方式では、このような長時間での変動にも対応することができないことが指摘されている。

【0065】

これに対し、上述したように、薄膜トランジスタTFTのOFF時に対応させて対向電圧信号線CLをフローティングすることにより、対向電圧信号線CLは

ライン単位の P X o f f の中心電圧となるように、容量素子 C s t g を介して常に自己整合的に定まるようにできる。容量素子 C s t g により画素電極 P X と対向電圧信号線 C L の電氣的容量を顕著に増大させていることが、有効に働く。

【0066】

このため、製品個々の飛び込み電圧のばらつきや、長時間の使用による飛び込み電圧の変動などが生じて、その状況の変化に合わせて最適の電圧に C L が自己整合的に調整される。したがって、製品個々の個体差の影響を回避でき、また長時間使用による特性変動の影響も回避することができるという、従来の方式では成し得なかった効果が得られる。

【0067】

実施例 2.

図 3 (a) は、図 2 に示したスイッチング回路 S W 1 の一実施例を示す回路図である。

【0068】

まず、走査信号駆動回路 V から走査信号 G 1、G 2、……、G n、G n+1 がそれぞれ供給される各ゲート信号線 G L 1、G L 2、……、G L n、G L n+1 のうち、たとえばゲート信号線 G L n の場合を例にとると、走査信号線駆動回路 V から走査信号 G n を供給する信号線は、まずスイッチング素子 S W 1 (n) のゲート電極 G に接続されている。

【0069】

このスイッチング素子 S W 1 (n) のたとえばドレイン電極 D は信号線 V g O N に接続され、ソース電極 S は前記ゲート信号線 G L n に接続されている。

【0070】

また、このスイッチング素子 S W 1 (n) のソース電極 S はスイッチング素子 S W 2 (n) のソース電極 S に接続されている。前記スイッチング素子 S W 2 (n) のゲート電極 G は走査信号線駆動回路 V から走査信号 G n+1 を供給する信号線に接続され、そのドレイン電極は信号線 V g O F F に接続されている。

【0071】

ゲート信号線 G L n 以外の他のゲート信号線 G L のそれぞれにおいても、同様

の構成となっており、前記信号線 V_{gON} および信号線 V_{gOFF} を共通のものとしている。

【0072】

なお、このスイッチング素子 $SW1$ は液晶を介して対向配置される各基板の一方の基板の面に形成されたものであっても、また、走査信号駆動回路 V に組み込まれたものであってもよいことはいうまでもない。

【0073】

図3 (b) は、上述したスイッチング素子 $SW1$ の動作を示すフロー図である。

図3 (b) は、その上方から、走査信号駆動回路 V から送出される走査信号 G_n 、 G_{n+1} 、 G_{n+2} 、その場合における走査信号線 GL_n 、 GL_{n+1} 、 GL_{n+2} に供給される走査信号を、さらに、この際のスイッチ $SW1(n)$ 、スイッチ $SW1(n+1)$ 、スイッチ $SW1(n+2)$ 、スイッチ $SW2(n)$ 、スイッチ $SW2(n+1)$ 、スイッチ $SW2(n+2)$ 、のオン・オフ状態を示している。

【0074】

換言すれば、走査信号駆動回路 V から送出される走査信号 G_n 、 G_{n+1} 、 G_{n+2} のタイミングに合わせて、スイッチ $SW1(n)$ 、スイッチ $SW1(n+1)$ 、スイッチ $SW1(n+2)$ 、スイッチ $SW2(n)$ 、スイッチ $SW2(n+1)$ 、スイッチ $SW2(n+2)$ を図示に示すようにオンあるいはオフさせることにより、走査信号線 GL_n 、 GL_{n+1} 、 GL_{n+2} には図示されるような走査信号が供給されるようになる。

【0075】

なお、ここで示す n はそれに1あるいは2のような数字に置き換えた場合においても同様に成立するものである。

【0076】

同図において、走査信号 G_n が供給されるとスイッチ $SW1(n)$ がONになりゲート信号線 $GL(n)$ には信号線 V_{gON} を通してON電圧が供給される。そして、該走査信号が供給されなくなって次の走査信号 G_{n+1} が供給されると前記

スイッチ SW1(n)がOFFになりスイッチ SW2(n)がONになる。

【0077】

これによってゲート信号線 GL nには信号線 V g OFFを通してOFF電圧が供給される。

【0078】

その後、走査信号 G n、G n+1の双方が供給されなくなってスイッチ SW1(n)、SW2(n)のいずれもがOFFになり、ゲート信号線 GL(n)はフローティング状態 FTとなり、以降再び走査信号 G nが供給されるまでこのフローティング状態を維持する。

【0079】

この動作における実施例では、OFFを1ライン分書き込んだ後にフローティングに移行する場合を示したが、たとえば図3(c)に示すように、2ライン分(あるいはそれ以上)の時間を設けてフローティング状態に移行するようにしても良いことはいうまでもない。薄膜トランジスタ TFTを十分にOFF電位にし、フローティング期間での薄膜トランジスタ TFTからのリークを回避できるからである。

【0080】

このようにOFF期間を延ばすには、ゲート信号線 GL nを走査信号 G n+2によって制御されて信号線 V g OFFから信号を供給する他のスイッチ SW3(n)を設ければよい。

【0081】

また、図4は、図2に示したスイッチング回路 SW2の一実施例を示す回路図である。

【0082】

まず、共通電極駆動回路 C mから対向電圧信号 C 1、C 2、……、C n、……がそれぞれ供給される各対向電圧信号線 CL 1、CL 2、……、CL n、……のうち、たとえば対向電圧信号線 CL nの場合を例にとると、共通電極駆動回路 C mから対向電圧信号を供給する信号線は、まずスイッチング素子 SW4(n)のゲート電極 Gに接続されている。

【0083】

そして、該スイッチング素子SW4 (n) のドレイン電極Dは信号線V_cに接続されているとともに、ソース電極Sは対向電圧信号線CL_nに接続されている。

【0084】

対向電圧信号線CL_n以外の他の対向電圧信号線CLのそれぞれにおいても、同様の構成となっており、前記信号線V_cを共通のものとしている。

【0085】

なお、このスイッチング素子SW4は液晶を介して対向配置される各基板の一方の基板の面に形成されたものであっても、また、走査信号駆動回路Vに組み込まれたものであってもよいことはいうまでもない。

【0086】

このような構成において、共通電極駆動回路C_mからの各対向電圧信号C₁、C₂、……、C_n、……は、それぞれ、走査信号駆動回路Vからの走査信号G₁、G₂、……、G_n、……の供給のタイミングにほぼ一致づけられて供給され、あるゲート信号線GLが担当する画素列において該ゲート信号線GLに走査信号Gが供給される場合は該画素列内に形成されている対向電圧信号線CLに対向電圧信号Cが供給されるようになっている。

【0087】

このように構成されることによって、共通電極駆動回路C_mから対向電圧信号が供給されていない期間の対向電圧信号線CLはフローティング状態とすることができる。

【0088】

実施例3.

図5 (a) は、図2に示したスイッチング回路SW1の他の実施例を示す回路図で、図3 (a) に対応した図となっている。

【0089】

図3 (a) の場合と比較して異なる構成は、フローティング状態となる各ゲート信号線GLは、高抵抗によってフローティング電位線FGと接続され、隣接し

かつフローティング状態となっている他のゲート信号線 GL と電氣的に接続される構成となっていることにある。

【0090】

すなわち、たとえばゲート信号線 GL_n の場合を例にとると、スイッチング素子 $SW1$ を介して信号線 V_{gON} からの信号は、スイッチング素子 $SW3(n)$ およびスイッチング素子 $SW4(n)$ の並列接続体に入力されるようになっている。

【0091】

ここで、スイッチング素子 $SW3(n)$ は走査信号駆動回路 V からの信号 G_n によって駆動され、スイッチング素子 $SW4(n)$ は走査信号駆動回路 V からの信号 G_{n+1} によって駆動されるようになっている。

【0092】

スイッチング素子 $SW3(n)$ およびスイッチング素子 $SW4(n)$ の並列接続体の出力端は前記ゲート信号線 GL_n に接続されているとともに、フローティング電位線 FG と高抵抗 R を介して接続されている。

【0093】

前記ゲート信号 GL_n 以外の他のゲート信号線 GL のそれぞれにおいても、同様の構成となっており、前記フローティング電位線 FG を共通のものとしている。

【0094】

このように構成した場合、各ゲート信号線 GL はそれぞれドレイン信号線 DL を同じように横切る。したがって、各ゲート信号線 GL によりドレイン信号線 DL が受ける影響は、フローティング時には各ゲート信号線 GL 毎にほぼ同じとみなすことができる。

【0095】

このため、フローティング時に互いにゲート信号線 GL 間を高抵抗を介して電氣的に接続することで、フローティングによる効果は維持でき、かつ外部ノイズ等の擾乱に対する耐性を向上させることができる。

【0096】

図5 (b) は、上述したスイッチング回路SW1の動作を示すフロー図であり、図3 (b) に対応した図となっている。

【0097】

図3 (b) は、その上方から、走査信号駆動回路Vから送出される走査信号 G_n 、 G_{n+1} 、 G_{n+2} 、 G_{n+3} 、その場合における走査信号線 GL_n 、 GL_{n+1} 、 GL_{n+2} 、 GL_{n+3} に供給される走査信号を、さらに、この際のスイッチSW1 (n) ないしスイッチSW4 (n)、スイッチSW1 (n+1) ないしスイッチSW4 (n+1)、スイッチSW1 (n+2) ないしスイッチSW4 (n+2) のオン・オフ状態を示している。

【0098】

同図において、走査信号 G_n の供給 (ON) によりスイッチSW1 (n) とスイッチSW3 (n) がONになり、信号線 V_{gON} を通してゲート信号線 GL_n にON電圧が供給される。そして、走査信号 G_n がOFFになり、走査信号 G_{n+1} が供給 (ON) されると、スイッチSW1 (n)、SW3 (n) がOFF、SW2 (n)、SW4 (n) がONになり、信号線 V_{gOFF} を通してOFF電圧がゲート信号線 GL_n に供給される。

【0099】

さらに、走査信号 G_n 、 G_{n+1} がOFFになり、走査信号 G_{n+2} 以降がONになると、スイッチSW1 (n) ~ SW4 (n) はいずれもOFFになり、ゲート信号線 $GL(n)$ は高抵抗Rを経由してフローティング電位線FGに接続される。これにより、大部分の時間でゲート信号線 $GL(n)$ はフローティング状態となる。

【0100】

ここで、 $GL(n)$ とFGとの接続は、 $G(n+1)$ 以前及び $G(n+2)$ 以降でトランジスタによって行うようにしてもよい。その際、高抵抗Rは介在させてもあるいはさせなくても良い。トランジスタを設けない場合は、ON時の電圧の逆流を防ぐために高抵抗Rは必須であるが、トランジスタ回路でON/OFF制御する場合には該トランジスタにより制御できるからである。

【0101】

実施例 4.

図 6 は、本発明による液晶表示装置の他の実施例を示す平面図であり、図 2 に対応した図となっている。

【0102】

この実施例は、走査信号駆動回路 V に近接して設けられるスイッチング回路 SW1 を該走査信号駆動回路 V とともにゲートドライバ GD として構成し、また、共通電極駆動回路 Cm に近接して設けられるスイッチング回路 SW2 を該共通電極駆動回路 Cm とともにコモンドライバ CD として構成したものである。

【0103】

このようにした場合、映像信号駆動回路（ドレインドライバ DD）は通常複数の半導体装置で形成されることはいうまでもなく、前記ゲートドライバ GD およびコモンドライバ CD も複数の半導体装置で形成され、それらは透明基板 SUB1 に対して図 7（a）に示すように配置されるようになる。

【0104】

しかし、このような配置に限定されることはなく、たとえば図 7（b）に示すように、ゲートドライバ GD とコモンドライバ CD を透明基板 SUB1 の一方の端辺側に近接して配置させるようにし、たとえばコモンドライバ CD をゲートドライバ GD の外側に位置づけるようにして配置してもよい。

【0105】

そして、図 7（b）に示すようにゲートドライバ GD とコモンドライバ CD を配置させた場合、コモンドライバ CD 側から延在される各対向電圧信号線 CL を跨ぐようにしてゲートドライバ GD を配置させるようにしてもよい。換言すれば、各対向電圧信号線 CL はゲートドライバ GD の下方を走行するように構成してもよい。

【0106】

対向電圧信号線 CL とゲート信号線 GL は同層で形成した場合であってもそれらが短絡しないように形成できるからである。なお、この場合にあつて、対向電圧信号線 CL とゲート信号線 GL を絶縁膜を介して異層に形成してもよいことはもちろんである。

【0107】

実施例 5.

図 8 (a) は、前記スイッチング回路 SW1 の他の実施例を示す回路で、図 5 (a) と対応した図となっている。

【0108】

図 5 (a) の場合と比較して異なる構成は、図 5 (a) に示す回路内に各対向電圧信号線 CL に対向電圧信号を供給する回路を組み込ませていることにある。

【0109】

同図において、図 4 に示す回路に類似する回路を後段に組み込ませ、その回路の各スイッチ SW5 (n) を駆動させる信号 (ゲート信号) として走査信号駆動回路 V からの走査信号 G_n を用いていることにある。

【0110】

すなわち、走査信号 G_n の供給によって ON されるスイッチ SW5 を介し、信号線 V_c を通して対向電圧信号が対向電圧信号線 CL (n) に供給されるようになっている。前記対向電圧信号線 CL (n) 以外の他の対向電圧信号線 CL においても同様の構成となっており、また信号線 V_c は共通となっている。

【0111】

このように構成した回路は、その部品点数を低減でき、実装スペースの削減を図ることができるようになる。

【0112】

図 8 (a) に示す回路は走査信号駆動回路 V とともに半導体装置に組み込まれて構成してもよいし、また、図 8 (b) に示すように、透明基板 SUB1 の表面に形成するようにしてもよい。この場合、前記回路内に備えられるトランジスタはたとえばポリシリコンから形成されるのが通常となる。

【0113】

なお、図 8 (b) において、図 8 (a) に示す回路のうち走査信号駆動回路 V を除く他の回路を制御回路 CC として示している。

【0114】

図 9 は、上述したスイッチング回路 SW1 の動作を示すフロー図であり、図 5

(b) に対応した図となっている。

【0115】

図5 (b) の場合と比較して異なる部分は、対向電圧信号線 CL_n ないし CL_{n+3} のそれぞれに供給される対向電圧信号を、スイッチ $SW5(n)$ ないし $SW5(n+2)$ のオン・オフ状態を新たに示していることにある。

【0116】

実施例6.

図10 (a) は本発明による液晶表示装置の他の実施例を示す平面図である。この実施例では、上述したように共通電極駆動回路 C_m (スイッチング回路 $SW2$ が組み込まれている) から各対向電圧信号線 $CL1$ 、 $CL2$ 、……、 CL_n 、……に対向電圧信号を走査して供給することを前提として構成されるものである。

【0117】

液晶表示部 AR の外側の領域であって、各対向電圧信号線 CL の他端部 (共通電極駆動回路 C_m と反対側の他端部) にそれぞれ交差し、かつ該対向電圧信号線 CL と絶縁膜を介して修正用配線 AML が形成とされ、この修正用配線 AML にはたとえば共通電極駆動回路 C_m から補助配線 ASL (液晶表示部 AR の外側の領域に設けられる) を介して対向電圧信号が常時供給されるようにしている。

【0118】

このように構成された液晶表示装置は、たとえば図10 (b) に示すように、対向電圧信号線 $CL1$ に断線 CUT が生じた場合に、該対向電圧信号線 $CL1$ のうち共通電極駆動回路 C_m から切り離された部分の画素列において表示不良が生じることになる。

【0119】

このような場合において、図10 (c) に示すように、共通電極駆動回路 C_m から切り離された対向電圧信号線 $CL1$ と修正用配線 AML との交差部にたとえばレーザ光線を照射することによって、それらを電氣的に接続させる (図中矢印 Q に示す)。これによって、共通電極駆動回路 C_m から切り離された対向電圧信号線 $CL1$ には前記補助配線 ASL および修正用配線 AML を介して対向電圧信

号が常時供給されるようになる。

【0120】

接続を回復できた部分の共通電圧信号線CL1は、フローティング状態ではなくなり、その分ドレイン信号線DLとの間の寄生容量が増大することになるが、数本程度まで修正しても依然として数百分の一の寄生容量を低減させる効果を維持させることができる。

【0121】

実施例7.

この実施例では、上述したようにゲート信号線GLがその書き込み時以外の大部分の時間でフローティングになる構成を前提に、各ドレイン信号線DLへの映像信号の極性をたとえば一ライン毎において隣接して配置されるドレイン信号線に供給される映像信号の極性と同相とすることにある。

【0122】

図11は、ドレイン信号線DL_nおよびドレイン信号線DL_{n+1}の各極性をたとえば+とし、次の段階におけるドレイン信号線DL₁ないしDL_nの極性を-として映像信号を供給した場合、あるライン（ゲート信号線G_n）におけるドレイン信号線DL_nとドレイン信号線DL_{n+1}の間の箇所における電位の変化を示した図である。

【0123】

この場合、前記ゲート信号線GL_nがフローティング状態とされている場合、前記箇所は前記ドレイン信号線DL_n、およびDL_{n+1}に供給される信号の極性に応じ追随して変動することになる。

【0124】

すなわち、前記ゲート信号線G_nの前記箇所に対するドレイン信号線DL_n、DL_{n+1}のそれぞれの電位差は最初たとえばV_aとなり、次の段階におけるドレイン信号線DL_n、DL_{n+1}のそれぞれの電位差もV_aとなる。

【0125】

このことは、フローティングされた各ゲート信号線GLと映像信号が供給されるドレイン信号線DLとの間に寄生容量が発生しないことを意味し、消費電力の

低減が図れる効果を奏することになる。

【0126】

比較のため、図12は、ドレイン信号線DL_nに+の極性、ドレイン信号線DL_{n+1}に-の極性とし、次の段階においてドレイン信号線DL_nに-の極性、ドレイン信号線DL_{n+1}に+の極性となるように映像信号を供給した場合、あるライン（ゲート信号線G_n）におけるドレイン信号線DL_nとドレイン信号線DL_{n+1}の間の箇所における電位の変化を示した図である。

【0127】

この場合、前記ゲート信号線GL_nがフローティング状態とされている場合、前記ドレイン信号線DL_n、およびDL_{n+1}との間の電圧が一方においてV_a、他方においてV_bというように入れ替わって変動することになる。

【0128】

このことは、ドレイン信号線DL_nおよびドレイン信号線DL_{n+1}はゲート信号線GLに対して充放電する必要が生じ、消費電力の低減の妨げになってしまうことになる。

【0129】

上述した実施例では、隣接するドレイン信号線DLの極性を同層とするの是一ライン毎にする例を示したものであるが、二ライン、三ラインのような複数ライン毎であってもよく、またフレーム毎であってもよいことはいうまでもない。同様に、ゲート信号線GLとドレイン信号線DLとの間に寄生容量が発生せず、消費電力の低減が図れるからである。

【0130】

実施例8.

この実施例では、実施例7に示した構成、すなわち、各ドレイン信号線DLへの映像信号の極性をたとえば一あるいは数ライン毎において隣接して配置されるドレイン信号線に供給される映像信号の極性と同相とするとともに、対向電圧信号線CLをその走査時において反転駆動させることにある。

【0131】

このようにすることにより、ドレイン信号線DLにおける信号振幅自体を半減

でき、さらに消費電力の低減を実現することができる。

【0132】

そして、ドレイン信号線DLにおける信号の振幅を低減させることにより、走査信号Gの振られ幅が低減し、フローティングによる消費電力低減効果を一層向上させることができる。

【0133】

また、従来みられたようないわゆるコモン反転は、画面全体の対向電極CTの電位を常に駆動させていたため、その負荷が極めて重く、該対向電極CTの駆動回路での消費電力が大きいという課題があった。

【0134】

しかし、上記実施例では対向電圧信号線CLもその電圧供給後にフローティングにするようにしている。すなわち駆動する対向電圧信号線CLの本数を数百分の1以下に大幅に低減させるため、前記共通電極駆動回路Cmでの消費電力も極わずかなものとなり、映像信号駆動回路Heの消費電力低減の効果がほぼそのまま全体の消費電力低減とすることができる。

【0135】

さらに、各対向電極CTに大電流を給電する必要が無くなり、信頼性が向上し、部品コストも低減できる。

【0136】

上述したように、対向電圧信号線CLは、その書き込み後にフローティングとなり、ゲート信号線GLの場合と同様に映像信号Dの電位に応じて追随するため、隣接する映像信号線DLが同層であることによりフローティングの効果が十分に発揮される。

【0137】

すなわち、(1) ゲートが書き込み時以外の大部分の時間でフローティングになる。(2) コモンが書き込み時以外の大部分の時間でフローティングになる。(3) 隣接する映像信号線が同層で駆動される。(4) コモンがコモン反転駆動される。という各構成が合わさることにより、最大限の消費電力低減効果が実現するようになる。

【0138】

実施例 9.

図 13 は、本発明による液晶表示装置の他の実施例を示す構成図で、共通電極駆動回路 C_m とスイッチング回路 SW_2 を介して各対向電圧信号線 CL との接続の他の実施例を示している。

【0139】

図 13 (a) は、各対向電圧信号線 CL をたとえば上方から 2 つずつ接続し、この接続部を介して対向電圧信号が順次供給されることを示し、図 13 (b) は、各対向電圧信号線 CL をたとえば上方から 3 つずつ接続し、この接続部を介して対向電圧信号が順次供給されることを示している。図示していないが、さらに 4 つずつ、それ以上の数ずつ接続してもよい。

【0140】

このように構成した場合、図 13 (c) に示すように、共通電極駆動回路 C_m のコモンドライバ CD の数を走査信号駆動回路 V のゲートドライバ GD の数よりも低減させることができる。

【0141】

このことから、たとえば図 14 に示すように、共通電極駆動回路 C_m のコモンドライバ CD を走査信号駆動回路 V のゲートドライバ GD に並設させて配置し (図 14 (a))、あるいは映像信号駆動回路 He のドレインドライバ DD に並設させて配置させることができる (図 14 (b))。このため、液晶表示パネルの省スペース化を図ることができる。

【0142】

実施例 10.

図 15 は、本発明による液晶表示装置の他の実施例を示す説明図で、図 13 (a) に対応した図となっている。図 15 (a) は、走査して供給される共通電極駆動回路 C_m からの一の走査信号が供給される複数の対向電圧信号線 CL がグループ状に形成されている。

【0143】

すなわち、対向電圧信号線 CL の断線に対する冗長構造となっており、ゲート

信号線GLと対向電圧信号線CLとがたとえば短絡しても該短絡部の両側で切断することにより、該短絡の不都合を解消させることができ正常な状態に復帰させることができる。

【0144】

また、図15(b)は、複数の対向電圧信号CLはループ状に形成されていないが、一端側において互いに接続された該複数の対向電圧信号CLの他端側から同時に対向電圧信号を供給させることによって、実質的には図15(a)に示した構成と同様にループ状に構成され、同様の機能をもたせるようにできる。

【0145】

なお、図15に示した構成は、それぞれ隣接する各対向電圧信号線CLどうしを冗長構造としたものである。しかし、図16(a)、(b)に示すように、たとえば一の対向電圧信号線CLに対してそれより3つめの対向電圧信号線CLとループ状に構成するようにしてもよいことはいうまでもない。すなわち、各ループが入れ子状に形成されていてもよい。

【0146】

なお、図16(a)は図15(a)に対応し、図16(b)は図15(b)に対応した図となっている。

【0147】

実施例11.

図17(a)は、本発明による液晶表示装置の画素の一実施例を示す平面図であり、また、図17(b)は、図17(a)のb-b線における断面図を示している。

【0148】

まず、透明基板SUB1の液晶側の面にはたとえばポリシリコン層からなる半導体層LTPSが形成されている。この半導体層LTPSはたとえばプラズマCVD装置によって成膜したアモルファスSi膜をエキシマレーザによって多結晶化したものである。

【0149】

この半導体層LTPSは薄膜トランジスタTFTのそれで、後述するゲート信

号線GLをたとえば2回横切るように迂回して形成されたパターンをなしている。

【0150】

そして、このように半導体層LTPSが形成された透明基板SUB1の表面には、該半導体層PSをも覆ったたとえばSiO₂あるいはSiNからなる第1絶縁膜INSが形成されている。

【0151】

この第1絶縁膜INSは前記薄膜トランジスタTFTのゲート絶縁膜として機能するとともに、後述する容量素子Cstgの誘電体膜の一つとして機能するようになっている。

【0152】

そして、第1絶縁膜INSの上面には、図中x方向に延在しy方向に並設されるゲート信号線GLが形成され、このゲート信号線GLは後述するドレイン信号線DLとともに矩形状の画素領域を画するようになっている。

【0153】

該ゲート信号線GLは前述した半導体層LTPSを2回横切るようにして走行され、該半導体層LTPSを横切る部分は薄膜トランジスタTFTのゲート電極として機能するようになっている。

【0154】

また、各ゲート信号線GLの間には該ゲート信号線GLと並行に容量信号線CNLがたとえば該ゲート信号線GLと同工程で形成されるようになっている。この容量信号線CNLは画素領域内において前記容量素子Cstgの一の電極を構成するようになっている。

【0155】

なお、このゲート信号線GLの形成後は、第1絶縁膜INSを介して不純物のイオン打ち込みをし、前記半導体層LTPSにおいて前記ゲート信号線GLの直下を除く領域を導電化させることによって、薄膜トランジスタTFTのソース領域およびドレイン領域が形成されるようになっている。

【0156】

前記ゲート信号線GLおよび容量信号線CNLをも被って前記第1絶縁膜INSの上面には第2絶縁膜GIがたとえば SiO_2 あるいは SiN によって形成されている。

【0157】

この第2絶縁膜GIの表面には、y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。そして、このドレイン信号線DLの一部にはその下の第2絶縁膜GIおよび第1絶縁膜INSを貫通するスルーホールTH1を通して前記半導体層LTPSに接続されている。該半導体層LTPSのドレイン信号線DLと接続された部分は薄膜トランジスタTFTの一方の領域、たとえばドレイン領域となる部分である。

【0158】

さらに、このドレイン信号線DLをも被って第2絶縁膜GIの表面には第3絶縁膜PASが形成されている。この第3絶縁膜PASはたとえば樹脂等の有機材料からなり、前記第2絶縁膜GIとともに前記薄膜トランジスタTFTへの液晶の直接の接触を回避するための保護膜となっている。第3絶縁膜PASを有機材料で構成したのは保護膜としての誘電率を低減させ、かつ表面を平坦化するためである。

【0159】

この第3絶縁膜PASの表面には画素電極PXが形成されている。この画素電極は、たとえばITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、 SnO_2 (酸化スズ)、 In_2O_3 (酸化インジウム) 等の透光性の導電層で構成され、画素領域の大部分の領域に及んで形成されている。この画素電極PXは、液晶を介して対向配置される他の透明基板の液晶側の面において画素画素領域に共通に形成された対向電極(透光性の導電層)との間で電界を発生せしめ、該液晶の光透過率を制御されるようになっている。そして、画素電極PXはその一部においてその下の第3絶縁膜PAS、第2絶縁膜GI、および第1絶縁膜INSに貫通させて設けたスルーホールTH2を通して薄膜トランジスタTFTの他方の領域、たとえばソース領域に接続されている。

【0160】

この画素電極 P X は、前記容量信号線 C N L と重畳する領域において形成される容量素子 C s t g の他方の電極をも兼ねている。この場合の容量素子 C s t g の誘電体膜は第 2 絶縁膜 G I と第 3 絶縁膜 P A S である。

【0161】

ここで、前記容量信号線 C N L は、前述した図 2 において示した対向電圧信号線 C L に替わるもので、該図 2 の説明で示したように、たとえばライン毎に電圧信号が走査されて供給されるようになり、かつそれ以外の容量信号線 C N L はフローティング状態となるものである。

【0162】

このようにすることによって、ドレイン信号線 D L と容量信号線 C N L との交差部における寄生容量を大幅に低減させることができるからである。

【0163】

実施例 12.

図 18 (a) は、本発明による液晶表示装置の画素の一実施例を示す平面図であり、図 18 (b) は、図 18 (a) の b-b 線における断面図を、図 18 (c) は、図 18 (a) の c-c 線における断面図を示している。

【0164】

図 17 に示した構成とほぼ同様であるが、対向電極 C T を薄膜トランジスタ T F T が形成された面側に形成し、この対向電極 C T と画素電極 P X とをそれぞれ帯状のパターンとして、画素領域内において一方のドレイン信号線 D L 側から他方のドレイン信号線 D L にかけて、たとえば対向電極 C T、画素電極 P X、対向電極 C T という順で配列させている。なお、これら電極の数は特定されないことはもちろんである。

【0165】

画素電極 P X と対向電極 C T との間に透明基板 S U B 1 の面とほぼ平行な成分を有する電界を発生せしめ、この電界によって液晶の光透過率を制御するようにしている。

【0166】

画素電極 P X は、開口率を向上させるためたとえば I T O 等のような透光性の

導電層で形成し、第3絶縁膜PASの上面に配置させている。そして、この画素電極PXはその一部においてその下の第3絶縁膜PAS、第2絶縁膜GI、および第1絶縁膜INSに貫通して設けたスルーホールTH2を通して薄膜トランジスタTF Tの他方の領域、たとえばソース領域に接続されている。

【0167】

また、対向電極CTは、図17に示した容量信号線CNLと同様の構成で形成した対向電圧信号線CLから図中y方向に延在させて形成した電極であり、各ドレイン信号線DLにそれぞれ隣接させて形成させている。

【0168】

この対向電圧信号線CLは、前述した図2において示したそれであり、該図2の説明で示したように、たとえばライン毎に対向電圧信号が走査されて供給されるようになり、かつそれ以外に対向電圧信号線CLはフローティング状態となるものである。

【0169】

ドレイン信号線DLと対向電圧信号線CLとの交差部における寄生容量を大幅に低減させることができるからである。

【0170】

なお、上述した実施例では、画素電極PXを第3絶縁膜PASの上面に形成したものである。しかし、図18(d)に示すように、第3絶縁膜PASの下層、すなわちドレイン信号線DLと同層となるように形成してもよいことはいうまでもない。同様の効果を奏することができるからである。

【0171】

実施例13.

図19(a)は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図18(a)と対応した図となっている。また、図19(b)は図19(a)のb-b線における断面図を、図19(c)は図19(a)のc-c線における断面図を示している。

【0172】

図18(a)と比較して異なる構成は、まず、第3絶縁膜PASの上面に形成

された画素電極 P X と同層で対向電極 C T およびこの対向電極 C T に接続される対向電圧信号線 C L が形成されていることにある。

【0173】

そして、対向電極 C T および対向電圧信号線 C L はたとえば IT0 (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成し、画素の開口率のより向上を図っている。

【0174】

ここで、対向電圧信号線 C L は当該画素を駆動させるゲート信号線 G L に重畳させて構成し、その中心軸は該ゲート信号線 G L のそれとほぼ一致づけられているとともに、その幅は該ゲート信号線 G L のそれよりも大きく形成されている。また、対向電極 C T はドレイン信号線 D L に重畳させて構成し、その中心軸は該ドレイン信号線 D L のそれとほぼ一致づけられているとともに、その幅は該ドレイン信号線 D L のそれよりも大きく形成されている。ドレイン信号線 D L あるいはゲート信号線 G L からの電気力線がこれら対向電圧信号線 C L および対向電極 C T に終端させやすくし、画素電極 P X に終端させないようにするためである。該電極 P X に至る前記電気力線はノイズの発生原因となるからである。

【0175】

また、第3絶縁膜 P A S の上層に形成された画素電極 P X は該第3絶縁膜 P A S に形成されたスルーホール T H 3 を通して該第3絶縁膜 P A S の下層に引き出され、この引出線 S T M は画素電極 P X と同様に第3絶縁膜 P A S の上層に形成された対向電圧信号線 C L の一部と重ね合わされて形成されている。この重ね合わされた部分において容量素子 C s t g を形成せんがためである。

【0176】

そして、このような構成において、当該画素を駆動するゲート信号線 G L に重畳されて形成された対向電圧信号線 C L とは異なる他の隣接する対向電圧信号線 C L と当該画素の対向電極 C T は分離されて、すなわち、電氣的に切断されて構成されている。すなわち、図中 x 方向に並設される画素列に共通な対向電圧信号線 C L はやはり図中 x 方向に並設される画素列に共通な他の対向電圧信号線 C L

とは電氣的に分離されて形成されるようになっている。

【0177】

図2に示す実施例で説明したように、各対向電圧信号線CLへの対向電圧信号を各対向電圧信号線CL毎に走査して供給せんがためである。

【0178】

ここで、当該画素の対向電極CTの機能を十分に発揮させるため、前記他の対向電圧信号線CLとの分離は該他の対向電圧信号線CLの近傍でなされるようになっている。

【0179】

上述した実施例では、第3絶縁膜PASとしてたとえば樹脂等からなる有機材料層を用いた構成としたものである。保護膜としての誘電率の低減を図るためであることは上述したとおりである。保護膜の誘電率の低減を図ることにより、ドレイン信号線DLと対向電圧信号線CLの交差部の寄生容量の低減の効果を奏するからである。

【0180】

しかし、各対向電圧信号線CLへの対向電圧信号を各対向電圧信号線CL毎に走査して供給するとともに、この際に他の対向電圧信号線CLをフローティング状態とすることから、ドレイン信号線DLと対向電圧信号線CLの交差部の寄生容量を大幅に低減させることができる。

【0181】

このことから、前記第3絶縁膜PASを設けることなく、第2絶縁膜GI（無機材料層）のみで前記保護膜を形成することができる効果を有する。これによって、有機膜の形成が不要となり、工程の簡略化とコスト低減を実現することができる。また、歩留まりの向上も図れる。

【0182】

さらに、上述した実施例では、図中x方向に並設される画素列に共通な対向電圧信号線CLをやはり図中x方向に並設される画素列に共通な他の隣接する対向電圧信号線CLと電氣的に分離した構成を示したものである。

【0183】

しかし、たとえば図15あるいは図16に示したように、複数の対向電圧信号線CLをループ状に接続させる場合、あるいはそれと同様の機能をもたせる場合に、該接続部において、該複数の対向電圧信号線CLとの電氣的な分離を行なわなくてもよいことはいうまでもない。

【0184】

実施例14.

図20(a)は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図19(a)に対応した図となっている。また、図20(b)は図20(a)のb-b線における断面図を、図20(c)は図20(a)のc-c線における断面図を示している。

【0185】

図19(a)と比較して異なる構成は、まず、当該画素を駆動させるゲート信号線GL(n+1)と重畳して形成される対向電圧信号線CL(n+2)は当該画素の図中下側の画素における対向電極CTと接続されており、当該画素の対向電極CTとは電氣的に分離されて構成されている。換言すれば、当該画素の対向電極CTは当該画素の上側の画素を駆動させるゲート信号線GL(n)と重畳して形成される対向電圧信号線CL(n+1)に接続されて構成されている。

【0186】

また、当該画素の容量素子Cstgは当該画素の画素電極PXと当該画素の上側の画素を駆動させるゲート信号線GL(n)と重畳して形成される対向電圧信号線CL(n+1)との間に形成されている。

【0187】

この場合、図20(c)に示すように、該容量素子Cstgは第3絶縁膜PASに形成されたスルーホールTH3を通して該第3絶縁膜PASの下層に引き出された引出し線STMと前記対向電圧信号線CL(n+1)との間に前記第3絶縁膜PASを誘電体膜として構成されている。

【0188】

そして、各ゲート信号線GLにおける走査(スキャン)方向は図中上側から下側へゲート信号線GL(n)からゲート信号線GL(n+1)へとなされるよう

になっている。

【0189】

すなわち、当該画素のゲート信号線 $GL(n+1)$ に走査信号が供給された際（オン状態）には、それに重畳される対向電圧信号線 $CL(n+1)$ はフローティング状態になり、当該画素の対向電極 CT には当該画素の上側の画素を駆動するゲート信号線 $GL(n)$ に重畳された対向電圧信号線 $CL(n+1)$ から対向電圧信号が供給されるようになっている。

【0190】

図20(d)は、上述した構成において、互いに隣接するゲート信号線 $GL(n)$ 、 $GL(n+1)$ 、 $GL(n+2)$ 、および対向電圧信号線 $CL(n)$ 、 $CL(n+1)$ 、 $CL(n+2)$ の時間に対するオン(ON)、オフ(OFF)、フローティング(FT)状態を示す説明図である。この図から明らかとなるように、液晶表示部ARの全画素に及んで、ゲート信号線 GL に走査信号が供給される際(ON)にはそれに重畳された対向電圧信号線 CL はフローティング状態となる。

【0191】

このため、該ゲート信号線 GL と対向電圧信号線 CL との間の寄生容量を大幅に低減でき書き込み率の低下を回避することができる。

【0192】

なお、図20(a)は、図19(a)の場合と異なり、ドイレン信号線 DL 、対向電極 CT 、および画素電極 PX のそれぞれが画素の中央にて屈曲された構成となっている。これは、液晶はその分子配列が同じ状態でも、液晶表示パネルに入射する光の入射方向によって透過光の偏光状態が変化し、入射方向に対応して光の透過率が異なってしまうことに鑑み、各電極の屈曲点を結んだ仮想の線を境にし一方の領域と他方の領域とで各電極間に作用する電界の方向を異ならしめ、これにより、視野角に依存する画像の色づきを補償するようにしたものである。このような構成は前述した各画素あるいは後述する他の画素においても適用できるものである。

【0193】

実施例 15.

図 21 (a) は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 20 (a) に対応した図となっている。また、図 21 (b) は図 21 (a) の b-b 線における断面図である。

【0194】

図 20 (a) の場合と比較して異なる構成は、ゲート信号線 GL の走査方向が異なり、図中下側の画素から上側の画素にかけてそれらが駆動されるようになっているのみである。このため、隣接するどうしのゲート信号線 GL (*) および対向電圧信号線 CL (*) の命名において該*の部分を替えて記している。

【0195】

また、図 21 (c) は、互いに隣接するゲート信号線 GL (n)、GL (n+1)、GL (n+2)、および対向電圧信号線 CL (n)、CL (n+1)、CL (n+2) の時間に対するオン (ON)、オフ (OFF)、フローティング (FT) 状態を示す説明図である。

【0196】

この実施例の場合においても、当該画素を駆動するゲート信号線 GL (n+1) に走査信号が供給された際 (ON) に、該ゲート信号線 GL (n+1) に重畳されて配置されている対向電圧信号線 CL (n) はフローティング状態となることから、これらゲート信号線 GL (n+1) と対向電圧信号線 CL (n) の間の寄生容量を大幅に低減させることができる。

【0197】

そして、さらに、前記ゲート信号線 GL (n+1) が上記の ON から OFF となった段階でも前記対向電圧信号線 CL (n) がフローティング状態とすることができる。

【0198】

このため、ゲート信号線 GL は薄膜トランジスタ TFT に ON、及び OFF を書き込む連続した 2 ラインの間フローティング状態とすることができるため、該薄膜トランジスタ TFT の OFF 特性を向上させることができるようになる。

【0199】

実施例 16.

図 22 (a) は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 21 (a) に対応した図となっている。また、図 22 (b) は図 22 (a) の b-b 線における断面図である。

【0200】

図 21 (a) の場合と比較して異なる構成は、当該画素を駆動させるゲート信号線 GL (n+1) と隣接する他のゲート信号線 GL (n+2) に近接するようにして補助配線層 CLA (n+1) がたとえばゲート信号線 GL の形成と同工程で形成されるようになっている。これにより該補助配線層 CLA (n+1) はゲート信号線 GL の材料と同一の材料で形成され、その抵抗は低い値に構成される。

【0201】

そして、この補助配線層 CLA (n+1) の上方には前記ゲート信号線 GL (n+2) とともに重畳されて形成される対向電圧信号線 CL (n+1) が配置されている。前記補助配線層 CLA (n+1) の一部は第 3 絶縁膜 PAS および第 2 絶縁膜 GI を貫通するスルーホール TH3 を通して互いに接続されている。

【0202】

補助配線層 CLA (n+1) をも被って前記対向電圧信号線 CL (n+1) を形成するのは、該対向電圧信号線 CL (n+1) にシールド機能をもたせるためである。

【0203】

前記対向電圧信号線 CL およびこれに一体に形成される対向電極 CT はたとえば ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成されている。

【0204】

これらの透光性の導電層は他の金属層等と比較すると配線抵抗が増大するが、その不都合を前記補助配線層 CLA によって回避している。これにより前記対向電圧信号線 CL へ供給する対向電圧信号の波形鈍りを低減でき、該対向電圧信号

の供給側とその反対側で生じる輝度差を防止することができる。

【0205】

なお、本実施例は図22(a)に示した構成に限定されることはなく、対向電圧信号線CLと対向電極CTとを一体に、かつ、その材料として透光性の導電層で形成する場合に全て適用できるものである。

【0206】

実施例17.

図23(a)は、本発明による液晶表示装置の画素の他の実施例を示す平面図で図22(a)に対応した図となっている。また、図23(b)、図23(b')は図23(a)のb-b線における断面図を示している。

【0207】

図22(a)の場合と比較して異なる部分は、補助配線層CLAとこれに重畳して配置される対向電圧信号線CLとの接続を容量結合で行っていることにある。

【0208】

たとえば、図23(b)に示すように、補助配線層CLAと前記容量結合を行なう部分の第3絶縁膜PASにたとえば開口(凹陷部でもよい)を設け、この開口をも被って対向電圧信号線CLを形成している。該容量結合を行なう部分において補助配線層CLAと対向電圧信号線CLとの間には比較的膜厚の薄い第2絶縁膜GIが介在され、補助配線層CLAと対向電圧信号線CLとの容量結合がなされる。

【0209】

また、図23(b')は、図23(b)に示す部分の他の実施例を示す図で、同図に示すように、補助配線層CLAと対向電圧信号線CLとの容量結合を行なう部分にて、第2絶縁膜GIと第3絶縁膜PASとの間にフローティングされた金属層FTMを形成するようにしてもよい。

【0210】

実施例18.

図24は、本発明による液晶表示装置の画素の他の実施例を示す平面図で図2

3 (a) に対応した図となっている。

【0211】

図23 (a) の場合と比較して異なる構成は、当該画素を駆動するゲート信号線GLに近接させ、かつ画素電極PXおよび対向電極CTと交差するように第2の補助配線層CLA' を設け、該ゲート信号線GLに重畳されて配置される対向電圧信号線CLには被われない構成としている。

【0212】

なお、この第2の補助配線層CLA' はたとえば前記ゲート信号線GLの形成と同時に形成されるようになっている。

【0213】

そして、図中x方向に配列された画素列に共通な前記第2の補助配線層CLA' 他の同様な画素列に共通な第2の補助配線層CLA' とそれぞれ液晶表示領域の外側の領域で接続され、これにより電氣的に同機能を果たすように構成されている。

【0214】

これにより、第2の補助配線層CLA' と画素電極PXの交差する領域には容量素子Cs t gを構成することができる。そして、該第2の補助配線層CLA' の対向電極CTとの交差部を設けることにより、該第2の補助配線層CLA' および対向電極CTの電位をそれぞれ安定させることができる。

【0215】

実施例19.

図25 (a) は、本発明による液晶表示装置の画素の一実施例を示す平面図であり、たとえば図18 (a) に対応した図となっている。また、図25 (b) は図25 (a) のb-b線における断面図を、図25 (c) は図25 (a) のc-c線における断面図を示している。

【0216】

この実施例では、画素電極PXおよび対向電極CTのパターンが異なり、他は図18 (a) に示した構成とほぼ同様である。

【0217】

まず、第1絶縁膜INSの上面に対向電極CTが形成され、この対向電極CTは画素領域のほぼ全域に形成され、しかもx方向に隣接する他の画素領域における対向電極CTと接続されている。換言すれば、x方向に並設される各画素領域において対向電極CTは連続して形成され、y方向側に隣接される他の画素の対向電極CTとは電氣的に分離されて形成されている。

【0218】

該対向電極CTは対向電圧信号線CLの機能をも合わせ持ち、その材料は、たとえばITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成されている。

【0219】

また、画素電極PXは第3絶縁膜PASの上面に形成され、各画素領域においてその周辺を除く中央の大部分の領域に形成されている。この材料もたとえばITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成されている。

【0220】

そして、この画素電極PXは、たとえば画素領域の中央部にて頂部を有するたとえば“くの字”状の開口が図中y方向に並設されて形成されている。

【0221】

このように構成された画素は、画素電極PXと対向電極CTとの間に透明基板SUB1の面とほぼ平行な成分を有する電界を発生させることができ、開口率を向上させることができる。

【0222】

また、上述した説明では、対向電極CTは第1絶縁膜INSの上面に形成したものであるが、たとえば図25(c)に示すように、透明基板SUB1の表面に形成するようにしてもよいことはもちろんである。

【0223】

なお、画素電極PXに形成する開口のパターンを上述のようにした理由は、画

素電極 P X と対向電極 C T との間に発生する電界の方向を異ならしめる領域を形成し、視野角に依存する画像の色づきを補償するためである。

【0224】

図 26 (a) は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 25 (a) と対応した図となっている。また、図 26 (b) は図 26 (a) の b-b 線における断面図を、図 26 (b) は図 26 (a) の c-c 線における断面図を示している。

【0225】

図 25 (a) の場合と比較して異なる構成は、画素電極 P X と対向電極 C T にある。すなわち、画素電極 P X は、第 2 絶縁膜 G I の表面に形成され、当該画素領域においてその周辺を除く中央の大部分の領域に形成されている。その材料は上述した透光性の導電層で形成されている。

【0226】

一方、対向電極 C T は画素領域のほぼ全域に形成され、しかも x 方向に隣接する他の画素領域における対向電極 C T と接続され、対向電圧信号線 C L の機能を合わせ持っている。y 方向に隣接する画素領域の対向電極 C T とは電氣的に分離されていることは図 25 (a) の場合と同様である。また、その材料として透光性の導電層で形成されていることも図 25 (a) の場合と同様である。

【0227】

そして、この対向電極 C T の各画素領域において、その中央部にて頂部を有するたとえば“くの字”状の開口が図中 y 方向に並設されて形成されている。

【0228】

このように構成した画素においても、図 25 (a) に示した構成と同様の機能を持たせることができる。

【0229】

実施例 20.

図 27 (a) は上述した共通電極駆動回路 C m と各対向電圧信号線 C L との接続部における他の実施例を示した回路図で、図 4 に対応した図となっている。

【0230】

図4と比較して異なる構成は、該共通電極駆動回路C_mからの信号によってオンされるスイッチSW5 (n) を介して対向電圧信号線C_Lに供給される対向電圧信号V_cは、OPアンプOPAから供給されるように構成されていることにある。

【0231】

該OPアンプOPAはそれに供給されるAC電圧波形をいわゆるブーストし、このブーストされた信号を前記対向電圧信号V_cとして用いている。このブーストは、たとえばOPアンプあるいはそのトランジスタで生じるオーバーシュート現象を利用するもので、回路定数を適切に設定することによって、図27 (b) に示すような対向電圧信号V_cを得ることができる。

【0232】

図27 (b) において、図中左側の波形Aは前記OPアンプOPAを介して得られる対向電圧信号を示し、図中右側の波形Bは、前記対向電圧信号が対向電圧信号線C_Lに供給される場合の対向電圧信号を示し、その供給端から近い (near) 側から遠い (far away) 側へかけて波形歪みが図のように生じることを示している。この図から明らかなように、対向電圧信号線C_Lの供給側から遠い側において波形歪みが生じた対向電圧信号は、矩形波の形状を十分に保持できるようになっている。

【0233】

このように構成した場合、各対向電圧信号線C_Lには選択的に信号を供給するため、全ての対向電圧信号線C_Lを同時に駆動した従来方式に比べ、負荷が数百分の一へと劇的に低減することになる。このため、OPアンプOPA、あるいはそのトランジスタによる単純な回路のみで、上述したような波形の補正を行なうことができる。そして、負荷の軽さにより補正の効果も十分に発揮でき、さらに、補正回路に用いる部品も、負荷が劇的に軽いことにより、電流耐性の低い安価な部品で済むようになる。また、流れる電流も理想的には数百分の一となるため、信頼性が高く長寿命化を実現できるようになる。

【0234】

ちなみに、図27 (c) は、全ての対向電圧信号線C_Lを同時に駆動した従来

方式において、図中右側の波形Aは対向電圧信号を示し、図中右側の波形Bは、前記対向電圧信号が対向電圧信号線CLに供給される場合の対向電圧信号を示し、その供給端から近い（near）側から遠い（far away）側へかけて波形歪みが図のように生じ、対向電圧信号線CLの供給側から遠い側においては矩形波の形状を保持できなくなっている。

【0235】

実施例 21.

図28は、本発明による液晶表示装置の他の実施例を示す構成図である。

【0236】

x方向に並設される各画素の画素列に共通な対向電圧信号線CLは、多数のドレイン信号線DLが横切って介在する。たとえばSXGAでは1280本程度を横切ることになる。

【0237】

そして、理想的状態として、これら各ドレイン信号線DLに完全に同一の信号が与えられている場合は、ドレイン信号線DLからの対向電圧信号線CLへの影響はないが、実際の状態では、ユーザーの表示する画像パターンにより、図28(c)に示すように、液晶表示部AR中たとえば領域a、bのように、領域毎に異なったパターンが表示されることになる。

【0238】

このため、各ドレイン信号線DLは領域毎に異なった電圧が供給されることになり、この際、各対向電圧信号線CLは前記領域aにとって最適な電圧と前記領域bにとって最適な電圧を有することになり、それらが異なることになる。

【0239】

したがって、各対向電圧信号線CLに対向電圧信号を供給する書き込み時に、この実際の画像に応じた値の対向電圧信号を供給することにより、いわゆるスミアを改善することができる。

【0240】

図28(a)は、液晶表示パネルPNLのゲートドライバGD、ドレインドライバDD、およびコモンドライバCDのそれぞれに映像制御回路TCONから各

信号を供給することによって該液晶表示パネル PNL の液晶表示部 AR に映像を行なうようになっている。また、該映像制御回路 TCON から Vc 生成回路 VcGN を介して対向電圧信号 Vc を供給するようになっている。ここで、前記 Vc 生成回路 VcGN は、たとえば DA コンバータ等により、映像制御回路 TCON により算出された最適データを Vc 電圧に変換し出力するようになっている。

【0241】

なお、図 28 (a) において、映像制御回路 TCOM に入力される画像信号 Vsig は液晶表示パネル PNL の外部から供給される画像信号である。

【0242】

図 28 (b) は、上述した各回路の動作フローを示す図である。まず、映像制御回路 TCOM に画像信号 Vsig が入力され、該映像制御回路 TCOM 内では、まず映像信号のデータを計測する (ステップ 1)。そして、計測した前記データより最適な Vc を計算するようになる (ステップ 2)。

【0243】

この場合の映像信号のデータの計測は、

(1) 加算法の例では

$$DL_{total} = \sum (DL_n) : n = 1 \sim \max$$

$$DL_{best} = DL_{total} / DL_{\text{本数}} \text{ とし、}$$

(2) 差分法の例では

$$DL_{best} = VC_{center} + \sum (DL_n - VC_{center}) : n = 1 \sim \max \text{ とし、}$$

上記 DL_{best} を算出し、 $Vc = DL_{best} - \alpha$ とする。

【0244】

ここで、 DL_{best} は Vc の最適値算定用の計算上の DL の値、 VC_{center} は任意に設定された計算用の VC 値である。この場合、DL の最大-最小の平均値あるいはそれより若干低い値に設定することが望ましい。また、 α は画素への飛び込み電圧等を考慮した補正值である。

【0245】

この映像制御回路 TCOM からゲートドライバ GD に信号が供給され、前記画層信号内の同期信号により次のゲート信号線 GL を選択するようになる (ステッ

プ3)。

【0246】

この際に、映像制御回路TCOMからドレインドライバDDに信号が供給され、前記映像制御回路TCONから転送された各ライン毎の映像信号の情報を蓄積する(ステップ4)。そして、前記同期信号により映像信号を出力する(ステップ5)。

【0247】

また、この際に、前記映像制御回路TCONからVc生成回路VcGNに信号が供給され、該信号に基づきVcデータを生成し(ステップ6)、このデータから最適なVcの値に変更する(ステップ7)。

【0248】

また、この際に、前記映像制御回路TCOMからコモンドライバCDに信号が供給され、前記画像信号Vsig内の同期信号により次の対向電圧信号線CLを選択するようになる(ステップ8)。

【0249】

なお、この実施例においても、少なくとも各対向電圧信号線CLにおいて走査された対向電圧信号が供給されていない際の対向電圧信号線CLをフローティング状態とするものであるが、このようにフローティングしない場合においても適用できることはいうまでもない。

【0250】

実施例22.

図29(a)は、本発明による液晶表示装置の他の実施例を示す平面図である。同図は、ゲート信号線GL、対向電圧信号線CL、及びドレイン信号線DL(図示せず)が形成された透明基板SUB1上に配置されたゲートドライバGD、コモンドライバCD、及びドレインドライバDDを示した図となっている。

【0251】

そして、このうちゲートドライバGDとコモンドライバCDはそれぞれ透明基板SUB1の一辺側に並列させ、これにより、液晶表示パネルPNLのいわゆる額縁の幅を狭める効果を奏したものとしている。

【0252】

ゲートドライバGDとコモンドライバCDは交互に配列され、この実施例ではゲートドライバGDの数よりもコモンドライバCDの数を多くして配置させている。ゲートドライバGDとコモンドライバCDはそれぞれ駆動電圧が異なり、同図に示すように別チップの構成では該チップ内の構成を異なるように構成できる。したがって、それぞれに適した端子数単位でチップを形成することで各ドライバの数を削減でき、省スペース化とコスト低減を図ることができる。

【0253】

また、図29(b)は、本発明による液晶表示装置の他の実施例を示す平面図であり、図29(a)と対応した図となっている。

【0254】

図29(a)の場合と比較して異なる構成は、ゲートドライバGDの数よりもコモンドライバCDの数を少なくして配置させている。コモンドライバCDは、それからの対向電圧信号の振幅がゲートドライバGDからの走査信号のそれよりも小さいため、耐圧を小さく構成できる。これにより、コモンドライバCDの方が一チップ当りの出力を大きくすることができる。そこで、コモンドライバCDのチップ数をゲートドライバGDのそれより減らすことによって上記効果を図ることができる。

【0255】

この場合、走査によって対向電圧信号Cを供給する対向電圧信号線CLを複数本ごとにするることによって、容易にコモンドライバCDのチップ数を減らすことができるようになる。

【0256】

なお、この実施例では、ゲートドライバGDおよびコモンドライバCDの近傍において、ゲート信号線GLと対向電圧信号線CLと交差させる部分が生じることとは免れないことから、構成的には、ゲート信号線GLと対向電圧信号線CLをそれぞれ絶縁膜を介した異層構造とする必要が生じる。このことから、ゲート信号線GLと対向電圧信号線CLの配置は、たとえば図20、図25、あるいは図26に示したようにすることが望ましい。

【0257】

実施例 23.

図30(a)は、実施例22で示したように、透明基板SUB1の一辺側にゲートドライバGDとコモンドライバCDとを交互に配置させた場合における他の実施例を示す平面図である。図30(a)ではゲートドライバGDの数がコモンドライバCDのそれよりも多く配置されている。

【0258】

このようにした場合、透明基板SUB1上で信号を伝達するデータ転送方式を容易に実現できるようになる。すなわち、映像制御回路TCONから同一のスタートパルスが該映像制御回路TCONに電氣的に近接して配置されるゲートドライバGDとコモンドライバCDに出力され、該ゲートドライバGDからはそれが担当する各ゲート信号線GLに走査信号を順次走査して出力され、また、その際に、該コモンドライバCDからはそれが担当する各対向電圧信号線CLに対向電圧信号を順次走査して出力される。

【0259】

そして、前記ゲートドライバGDによる各ゲート信号線GLへの走査信号の順次供給および前記コモンドライバCDによる各対向電圧信号線CLへの対向電圧信号の順次供給が終了した段階で、これらゲートドライバGDおよびコモンドライバCDのそれぞれから、該ゲートドライバGDに近接して配置される他のゲートドライバGDおよび該コモンドライバCDに近接して配置される他のコモンドライバCDへそれぞれ同一のスタートパルスが出力される。

【0260】

すなわち、1チップの出力が完了すると、次のチップに出力信号の送出を指示し、さらに次のラインに出力が引き継がれることになる。

【0261】

この場合、各ゲートドライバGDからの走査信号はゲート信号線GLを1本毎に出力されるのに対し、各コモンドライバCDからの対向電圧信号Cは対向電圧信号線CLを複数本ごとに出力されるようになっている。

【0262】

このことから、図30(a)に示したように、映像制御回路TCONからのスタートパルスは、ゲートドライバGDおよびコモンドライバCDのそれぞれに別々に入力されるように配線することが望ましい。

【0263】

このように、コモンドライバCDからの走査信号の出力は複数の対向電圧信号線DL毎になるため、コモンドライバCDの出力の切り替えがゲートドライバGDの出力の設定されたn本毎になるように、該コモンドライバCDはチップ内での切り替えタイミングとなる一定時間をn倍化するように設定することが望ましい。

【0264】

図30(b)は透明基板SUB1に搭載されたゲートドライバGDの側面図を、また図30(c)はコモンドライバCDの側面図を示しており、たとえばそれらのチップにモード切り替え端子MJTを設け、これらのモード切り替え端子MJTを透明基板SUB1面に形成した短絡配線SCLによって短絡箇所を代えることでn倍化のnの変更等を容易に対応することができる。

【0265】

たとえば、図30(b)のゲートドライバGDではモード切り換え端子MJT間が開放のためn倍化しないが、図30(c)のコモンドライバCDではモード切り換え端子MJT間を短絡し、n本ごとに切り換えるように設定される。nの値は短絡箇所にnの数に合わせて予め複数設けることで容易に対応できる。

【0266】

図30(d)は、他の実施例を示す平面図で、図30(a)に対応した図となっている。図30(d)では、ゲートドライバGDとコモンドライバCDにおけるそれぞれのドライバ間配線を該ドライバに対し互いに逆側に設けることで、配線の交差を防止できることを示している。ドライバ間のスタートパルスの伝送タイミングはコモンドライバCDの対向電圧信号Cの供給が複数本の対向電圧信号線CLを単位としていることにより走査信号Gおよび対向電圧信号Cの供給がずれ、配線の交差部があった場合にそれらの干渉により誤動作の懸念が生じる。

【0267】

したがって、図30 (d) に示す実施例のように、配線を互いに交差しない配置とさせることで、安定した動作を実現させることができる。

【0268】

また、この実施例では、上記各ドライバはチップ（半導体チップ）を例に挙げて示したものである。しかし、いわゆるテープキャリア方式で構成されたドライバTCPであってもよく、この場合にあっては、上述したモード判定を透明基板SUB1上の短絡配線SCLの有無により判定できるようにできる。

【0269】

ここで、テープキャリア方式で構成されたドライバTCPとは、図31 (a) に示すように、フレキシブル基板FBに半導体チップCHが搭載され、この半導体チップCHの各入力端子および各出力端子は該フレキシブル基板FBの表面に形成された入力配線および出力配線を介してそれぞれ各対向辺に引き出されて構成されている。そして、このうち出力配線の端部（端子）は透明基板SUB1の表面端辺にまで引き出されたたとえばゲート信号線GLあるいは対向電圧信号線CLと電氣的に接続されるようになっている。

【0270】

この場合、半導体チップCHのモード判定端子のそれぞれからフレキシブル基板FB上に配線MILを延在させて構成し、図31 (b) に示すように、これら配線KILは透明基板SUB1上に形成した短絡配線SCL上に位置付けられるようにすればよい。

【0271】

また、このような場合に限定されることはなく、図31 (c) および (d) に示すように、該ドライバTCPをゲートドライバGD用、コモンドライバCD用として別に構成する場合は、該ドライバTCP上に判定用の短絡配線SCLを設けるようにしても良いことはいうまでもない。ドライバTCPの変更のみで対応でき、ドライバチップ自体を共通に用いることができるからである。

【0272】

実施例24.

図32 (a) は、実施例23に示したと同様、透明基板SUB1の一边側にゲ

ートドライバGDとコモンドライバCDとを交互に配置させた場合における他の実施例を示す平面図である。図32(a)においてもゲートドライバGDの数がコモンドライバCDのそれよりも多く配置されている。

【0273】

図32(a)に示すように、映像制御回路TCONからの信号は、まず、該映像制御回路TCONに近接するゲートドライバGDに供給され、さらに該ゲートドライバGDに近接するコモンドライバCDに供給されるようになっている。

【0274】

この場合、該コモンドライバCDへの信号供給は前記ゲートドライバGDの搭載領域を走行する透明基板SUB1上の配線層によってなされるようになっている。

【0275】

また、前記ゲートドライバGDから次に配置される他のゲートドライバGDへの信号供給はそれらの間に配置されるコモンドライバCDの搭載領域を走行する透明基板SUB1上の配線層によってなされるようになっている。

【0276】

以下、これらが繰り返されることによって、前記各配線層は交差させる必要なく、データ転送を実現させることができる。そして、データ転送のための配線層は並設された各ドライバの両脇にはみ出させないようにするため、いわゆる液晶表示パネルの額縁に占める面積を縮小させることができる。

【0277】

なお、図32(b)は、図32(a)のゲートドライバGDとコモンドライバCDとの前記配線層との接続関係を具体的に示したもので、図中、OTGは出力端子群、ITGは入力端子群、SIは信号入力、SOは信号出力を示している。

【0278】

図32(c)は、さらに他の実施例を示す平面図で、図32(b)に対応した図となっている。

【0279】

図32(b)の場合と比較して異なる構成は、たとえばコモンドライバCDの

領域を走行して該コモンドライバCDの両脇に配置される各ゲートドライバGDを接続させる配線層を該コモンドライバCDのチップ内に設けるようにしていることにある。すなわち、該コモンドライバCD内に形成される配線層（図中点線で示す）はその両端に信号入力SIおよび信号出力SOの各端子を備えている。

【0280】

ゲートドライバGDの場合も該コモンドライバCDと同様の構成が採用されている。

【0281】

この場合、図32（b）に示すように、各半導体チップにモード選択端子MSTを設け、透明基板SUB1面に設けた短絡配線SCLとの接続／非接続判定によりチップの動作を切り替えても良い。

【0282】

図32（d）、（e）は、それぞれ、前記短絡配線SCLの接続／非接続判定によってゲートドライバGDとしておよびコモンドライバGDとして用いていることを示している。

【0283】

このようにすることにより、ゲートドライバGDおよびコモンドライバGDを同一の構成とすることができ、それらをゲートドライバGDあるいはコモンドライバGDとして使用することができる。したがって、部品種類の削減、組み立ての容易化を実現することができる。

【0284】

なお、図32（f）は、コモンドライバCDの数をゲートドライバGDのそれよりも少なくするように構成するため、ゲート信号線GLとほぼ同数の対向電圧信号線CLをたとえばその上方から2本ずつ接続させ、これら互いに接続された対向電圧信号線にそれぞれ対向電圧信号を順次走査して供給する例を示したものである。

【0285】

実施例25.

図33（a）は、実施例24等と同様、透明基板SUB1の一辺側にゲートド

ライバGDとコモンドライバCDとを交互に配置させた場合において、少なくとも一对の隣接して配置されるゲートドライバGDとコモンドライバCDを一つの半導体チップに組み込んで形成した場合を示す平面図である。

【0286】

すなわち、該半導体チップCHの図中右側においてゲート信号線GLおよび対向電圧信号線CLが配置される場合、該半導体チップCHの図中右側の辺にはその辺に沿ってゲート出力端子GTOが配列され、図中左側の辺にはその辺に沿ってコモン出力端子CTOが配列されている。

【0287】

そして、各コモン出力端子CTOのそれぞれは隣接して配置されるゲート出力端子GTOの間に配置され、これにより、該ゲート出力端子GTOが妨害となることなく該コモン出力端子CTOへ対向電圧信号CLを延在させて形成することができるようになっている。

【0288】

また、前記ゲート出力端子GTOおよびコモン出力端子CTOが並設された辺以外の他の辺のそれぞれにはそれに近接して電源端子VVが形成され、該辺の一方には信号入力端子SIが他方には信号出力端子SOが形成されている。

【0289】

また、このように構成された半導体チップCHは、図33(b)に示すように、ゲート出力端子GTO群とコモン出力端子CTO群の間をそれらと並行に走行するグランド線GNDLが形成され、このグランド線GNDLをほぼ境にして、図中左側のC回路側CCSには共通電極駆動回路Cmが形成され、図中右側のG回路側GCSには走査信号駆動回路Vが形成されるようになっている。

【0290】

さらに、このように構成された半導体チップCHは、図33(c)に示すように、ゲート出力端子GTO群とコモン出力端子CTO群の方向と直交する方向へ3区分に分け、その真中の領域LRをロジック領域、図中左側の領域CSRをコモンスイッチ領域、図中右側の領域GSRをゲートスイッチ領域として、それぞれ回路を組み込んでいる。

【0291】

ここで、半導体チップCHにおいて上述した各構成を全て備えている必要はなく、次に述べる構成が少なくとも1つ備えられていればよい。

【0292】

まず、最初に、ゲート出力端子GTOとコモン出力端子CTOを対向する辺にそれぞれ設ける。チップ内部で共通電極駆動回路Cmと走査信号線駆動回路Vを分離して形成でき、それらの干渉を防止できるからである。

【0293】

次に、電源端子VVをコモン出力端子CTOの側に設ける。走査信号Gと対向電圧信号Cは出力される電圧が異なっており、対向電圧信号Cの方がそのON時の電圧が低い分だけ電源ノイズの影響を受けにくいからである。

【0294】

次に、コモン出力端子COTが液晶表示部ARから遠い側に配列されている。コモン電位が外側に配置されることになり、外部ノイズによるシールド効果が得られるからである。

【0295】

次に、半導体チップCH内で、共通電極駆動回路Cmと走査信号駆動回路Vとの間にグラント線GNDLが延在する。各回路の互いの干渉を防止できるからである。

【0296】

さらに、半導体チップCH内でロジック回路を中央に配置し、その一方の側にゲートスイッチ回路、他方の側にコモンスイッチ回路を配置する。駆動電圧が走査信号駆動回路V、共通電極駆動回路Cmで共通のロジック部をまとめて配置し、駆動電圧が異なるスイッチ部を走査信号駆動回路V、共通電極駆動回路Cmのそれぞれで分けることができ、回路規模の縮小と低消費電力化、さらに干渉の防止を実現できるからである。この場合において、最大電圧が、ゲートスイッチ領域>コモンスイッチ領域>ロジック領域の関係とすることができる。

【0297】

図33(d)は他の実施例を示す平面図で、図33(a)に対応した図となっ

ている。図 33 (a) の場合と比較して異なる構成は、複数の対向電圧信号線 CL の共通接続は、半導体チップ CH のコモン出力端子 COT の端子面積を大きくし、このコモン出力端子 COT のフェースダウンによってなされるように構成されていることにある。これにより、半導体チップ CH 内において共通電極駆動回路 Cm の回路規模を低減させることができる。

【0298】

また、図 33 (e) は他の実施例を示す平面図で、図 33 (a) に対応した図となっている。図 33 (a) の場合と比較して異なる構成は、半導体チップの各コモン出力端子 COT から一本の配線が分岐しその後複数の対向電圧信号線 CL に接続された構成にある。

【0299】

このようにした場合、各コモン出力端子 COT での接続面積が増大可能であり、接続抵抗が低減できる。また、各コモン出力端子のサイズを連続して作る場合と比較して小型化できる。これにより、半導体チップ CH の接続部の製造が容易になるという効果を奏する。

【0300】

また、図 33 (f) は他の実施例を示す平面図で、図 33 (a) に対応した図となっている。図 33 (a) の場合と比較して異なる構成は、半導体チップ CH の各コモン出力端子 COT はそれぞれ対向電圧信号線 CL に接続され、かつ、隣接する複数のコモン出力端子 COT がチップ内部で接続されていることにある。

【0301】

このように構成した場合、共通電極駆動回路 Cm の規模の低減が図れる。また、コモン出力端子 COT をゲート出力端子 GOT と同様のピッチで構成できるため、たとえば異方性導電膜を介して該半導体チップ CH と透明基板 SUB1 上の端子の接続時に生じる端子相互の高さの不均一を防止できる。これにより、接続安定性が向上し、接続抵抗低減と信頼性向上ができる。さらに、直行率（接続不良により再生作業を行うことなく、1 回で接続できる割合）が向上しコストの低減を実現させることができる。

【0302】

実施例 26.

本発明による液晶表示装置は、上述した各実施例で説明してきたように、ゲート信号線 G L および対向電圧信号線 C L がいずれも大部分の時間でフローティング状態となるものである。このことは、該時間の間ではそれに相当する半導体チップ C H は遊んでいる状態にあり、時間当りの半導体チップの利用効率の悪いものとなることを意味する。

【0303】

それ故、この実施例では、半導体チップ C H の 1 つの出力端子から走査信号 G と対向電圧信号 C の双方を時間差を設けて出力し、その信号の出力先を切り替えることにより、半導体チップの数の削減を図ることにある。

【0304】

このようにすることにより、たとえば走査信号 G と対向電圧信号 C を半導体チップ C H の 1 端子から出力することで、該半導体チップの数を半減させることができるようになる。また、共通電極駆動回路 C m と走査信号駆動回路 V を共有する構成とできるので、専用の共通電極駆動回路 C m、専用の走査信号駆動回路 V の回路を別個に設ける場合より半導体チップの占める面積を削減でき、さらにチップコストの削減を実現できる。

【0305】

上述のように半導体チップ C H の同一の出力端子からゲート信号線 G L および対向電圧信号線 C L の双方にそれぞれ時間差をもたせて出力を供給する場合、各画素に信号を書き込む際にはゲート信号線 G L および対向電圧信号線 C L にそれぞれ同時に信号が供給される必要が生じる。

【0306】

同一の出力端子に同時に異なる値を出力することはできないため、平面的に異なる端子にそれぞれ異なる電位を有する走査信号 G と対向電圧信号 C を出力し、それら各信号を配線を交差させる工夫を採ることにより本来のゲート信号線 G L および対向電圧信号線 C L に供給することを要する。

【0307】

このとき、図 34 (a) に示すように、同一の出力端子から先にゲート信号 G

－ONを出力する場合には、2ライン分以上離れた出力から対向電圧信号C－ONを供給する。走査信号G－ONの次に信号G－OFFを供給する必要があり、対向電圧信号C－ONの供給はそれ以降となるからである。

【0308】

この場合、図34（b）に示すように、ゲート信号G－ONを出力した後、対向電圧信号C－ONを供給するまで、3ライン以上とし、ゲート信号G－OFFとの間にフローティング状態の期間を設けても良い。ゲート信号Gと対向電圧信号Cの切り替えに要する時間を十分確保するためである。

【0309】

さらに、図34（c）に示すように、先に対向電圧信号C－ONを供給し、次にゲート信号GのON、OFFを順次出力するようにしてもよく、このようにした場合、対向電圧信号Cからゲート信号Gの供給までの期間は1ライン以上離れていればよい。この場合、フローティング状態から一度対向電圧信号C－ONをその電位状態に持ち上げ、その後ゲート信号G－ONを供給するため、該ゲート信号G－ONを見かけ上プリチャージすることになる。このため、該ゲート信号G－ONの立ち上がりが急峻となり、書き込み特性の一層の向上が図れる。また配線交差数が低減するため、歩留まりの向上が実現する。なお、フローティング状態は外部からフローティング電位を高抵抗経由で供給してもよい。

【0310】

図35は、上述したように、共通電極駆動回路Cmと走査信号駆動回路Vを共有する回路の一実施例を模式的に示した説明図で、図34（a）に示した信号を出力させるようになっている。

【0311】

まず、図35（a）に示すように、図中右側に信号供給端子を有し、それらの各端子には、図中上側から、順次、G－ON信号、G－OFF信号、COM（対向電圧）信号、G－ON信号、G－OFF信号、COM信号、G－ON信号、G－OFF信号、COM信号、……、COM信号が入力されるようになっている。これらの各信号は常時供給されるようになっている。そして、たとえばG－ON信号が供給される端子に対し同じG－ON信号が供給される他の端子において、

同様な信号が供給されるようになっており、他のG-OFF信号等も同様となっている。

【0312】

また、順次G-ON信号、G-OFF信号、COM信号が供給され互いに隣接して配置される各端子は、それぞれ、上記各信号を全く受け入れないか、あるいは該各信号のうちそのいずれか一つを受け入れるたとえば走査スイッチ等を介して各端子Xに接続されるようになっている。たとえば、図35(a)の場合、図中端子X(n-2)は前記走査スイッチSSaを介してCOM信号が供給される端子に接続され、端子X(n-1)は前記走査スイッチSSaを介してG-OFF信号が供給される端子に接続され、さらに、端子X(n)は前記走査スイッチSSaを介してG-ON信号が供給される端子に接続されている。そして、それ以外の他の端子XにはG-ON信号、G-OFF信号、COM信号のいずれも供給されないようになっている。

【0313】

さらに、前記各端子Xには、それぞれ、たとえば走査スイッチSSbを介してゲート信号線GLおよび対向電圧信号線CLのうち、それらに該端子Xからの信号を全く受け入れないか、あるいは一方の特定された信号線のみを受け入れるように構成されている。たとえば、図35(a)の場合、図中端子X(n-2)からのCOM信号は前記走査スイッチSSbを介して対向電圧信号線CL(n)に供給され、端子X(n-1)からのG-OFF信号は前記走査スイッチSSbを介してゲート信号線GL(n-1)に供給され、端子X(n)からのG-ON信号は前記走査スイッチSSbを介してゲート信号線GL(n)に供給されるようになっている。

【0314】

このことから、nライン目のゲート信号線GL(n)、対向電圧信号線CL(n)には、それぞれG-ON信号、COM信号が供給されるとともに、それより一つ手前の(n-1)ライン目のゲート信号線GL(n-1)にはG-OFF信号が供給されることになる。

【0315】

つぎの段階では、図 35 (b) に示すように、前記走査スイッチ SSa および SSb は、それぞれ、前記端子 X に対する入力側と出力側との各接続関係を維持した状態で、そのまま次のラインにシフトされるようになる。図中端子 $X(n-1)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続され、端子 $X(n)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、さらに、端子 $X(n+1)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続される。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようになる。

【0316】

また、図 35 (b) の場合、図中端子 $X(n-1)$ からの COM 信号は前記走査スイッチ SSb を介して対向電圧信号線 $CL(n+1)$ に供給され、端子 $X(n)$ からの $G-OFF$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n)$ に供給され、端子 $X(n+1)$ からの $G-ON$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n+1)$ に供給されるようになる。

【0317】

このことから、 n ライン目のゲート信号線 $GL(n)$ には $G-OFF$ 信号が供給され、対向電圧信号線 $CL(n)$ はフローティング状態となる。一方、次の $(n+1)$ ライン目のゲート信号線 $GL(n+1)$ 、対向電圧信号線 $CL(n+1)$ には、それぞれ $G-ON$ 信号、 COM 信号が供給されるようになる。

【0318】

つぎの段階でも、図 35 (c) に示すように、前記走査スイッチ SSa および SSb は、それぞれ、前記端子 X に対する入力側と出力側との各接続関係を維持した状態で、そのまま次のラインにシフトされるようになる。図中端子 $X(n)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続され、端子 $X(n+1)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、さらに、端子 $X(n+2)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続される。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようにな

る。

【0319】

また、図35(c)の場合、図中端子X(n)からのCOM信号は前記走査スイッチSSbを介して対向電圧信号線CL(n+2)に供給され、端子X(n+1)からのG-OFF信号は前記走査スイッチSSbを介してゲート信号線GL(n+1)に供給され、端子X(n+2)からのG-ON信号は前記走査スイッチSSbを介してゲート信号線GL(n+2)に供給されるようになる。

【0320】

このことから、(n+1)ライン目のゲート信号線GL(n+1)にはG-OFF信号が供給され、対向電圧信号線CL(n+1)はフローティング状態となる。一方、次の(n+2)ライン目のゲート信号線GL(n+2)、対向電圧信号線CL(n+2)には、それぞれG-ON信号、COM信号が供給されるようになる。

【0321】

つぎの段階でも、図35(d)に示すように、前記走査スイッチSSaおよびSSbは、それぞれ、前記端子Xに対する入力側と出力側との各接続関係を維持した状態で、そのまま次のラインにシフトされるようになる。図中端子X(n+1)は前記走査スイッチSSaを介してCOM信号が供給される端子に接続され、端子X(n+2)は前記走査スイッチSSaを介してG-OFF信号が供給される端子に接続され、さらに、端子X(n+3)は前記走査スイッチSSaを介してG-ON信号が供給される端子に接続される。そして、それ以外の他の端子XにはG-ON信号、G-OFF信号、COM信号のいずれも供給されないようになる。

【0322】

また、図35(d)の場合、図中端子X(n+1)からのCOM信号は前記走査スイッチSSbを介して対向電圧信号線CL(n+3)に供給され、端子X(n+2)からのG-OFF信号は前記走査スイッチSSbを介してゲート信号線GL(n+2)に供給され、端子X(n+3)からのG-ON信号は前記走査スイッチSSbを介してゲート信号線GL(n+3)に供給されるようになる。

【0323】

このことから、 $(n+2)$ ライン目のゲート信号線 $GL(n+2)$ には $G-OFF$ 信号が供給され、対向電圧信号線 $CL(n+2)$ はフローティング状態となる。一方、次の $(n+3)$ ライン目のゲート信号線 $GL(n+3)$ 、対向電圧信号線 $CL(n+3)$ には、それぞれ $G-ON$ 信号、 COM 信号が供給されるようになる。

【0324】

そして、これが順次繰り返され、最下位のラインから最上位のラインに以降する場合においても、上述した関係を維持しながら前記走査スイッチ SSa および SSb はシフトされる。

【0325】

図36は、上述したように、共通電極駆動回路 Cm と走査信号駆動回路 V を共有する回路の他の実施例を模式的に示した説明図で、図34(c)に示した信号を出力させるようになっている。

【0326】

図36は図35と対応した図となっており、図35の場合と比較して異なる構成は、走査スイッチ SSa 、 SSb において端子 X に対する入力側および出力側の接続関係が相違しているのみである。

【0327】

図35(a)に示すように、図中端子 $X(n-2)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、端子 $X(n-1)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続され、さらに、端子 $X(n)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続されている。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようになっている。

【0328】

さらに、図36(a)の場合、図中端子 $X(n-2)$ からの $G-OFF$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n-2)$ に供給され、端子 $X(n-1)$ からの $G-ON$ 信号は前記走査スイッチ SSb を介してゲート信号

線 $GL(n-1)$ に供給され、端子 $X(n)$ からの COM 信号は前記走査スイッチ SSb を介して対向電圧信号線 $(n-1)$ に供給されるようになっている。

【0329】

この段階で、 n ライン目のゲート信号線 $GL(n)$ 、対向電圧信号線 $CL(n)$ は、それぞれフローティング状態となっており、それより一つ手前の $(n-1)$ ライン目のゲート信号線 $GL(n-1)$ には $G-ON$ 信号が供給され、対向電圧信号線 $CL(n-1)$ には COM 信号が供給されることになる。

【0330】

つぎの段階では、図 36 (b) に示すように、前記走査スイッチ SSa および SSb は、それぞれ、前記端子 X に対する入力側と出力側との各接続関係を維持した状態で、そのまま次のラインにシフトされるようになる。図中端子 $X(n-1)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、端子 $X(n)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続され、さらに、端子 $X(n+1)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続される。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようになる。

【0331】

また、図 36 (b) の場合、図中端子 $X(n-1)$ からの $G-OFF$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n-1)$ に供給され、端子 $X(n)$ からの $G-ON$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n)$ に供給され、端子 $X(n+1)$ からの COM 信号は前記走査スイッチ SSb を介して対向電圧信号線 $CL(n)$ に供給されるようになる。

【0332】

このことから、 n ライン目のゲート信号線 $GL(n)$ には $G-ON$ 信号が供給され、対向電圧信号線 $CL(n)$ には COM 信号が供給される。

【0333】

つぎの段階でも、図 36 (c) に示すように、前記走査スイッチ SSa および SSb は、それぞれ、前記端子 X に対する入力側と出力側との各接続関係を維持

した状態で、そのまま次のラインにシフトされるようになる。図中端子 $X(n)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、端子 $X(n+1)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続され、さらに、端子 $X(n+2)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続される。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようになる。

【0334】

また、図 36 (c) の場合、図中端子 $X(n)$ からの $G-OFF$ 信号は前記走査スイッチ SSb を介してゲート信号線 (n) に供給され、端子 $X(n+1)$ からの $G-ON$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n+1)$ に供給され、端子 $X(n+2)$ からの COM 信号は前記走査スイッチ SSb を介して対向電圧信号線 $CL(n+1)$ に供給されるようになる。

【0335】

このことから次の $(n+2)$ ライン目のゲート信号線 $GL(n+2)$ および対向電圧信号線 $CL(n+2)$ はフローティング状態となる。

【0336】

つぎの段階でも、図 36 (d) に示すように、前記走査スイッチ SSa および SSb は、それぞれ、前記端子 X に対する入力側と出力側との各接続関係を維持した状態で、そのまま次のラインにシフトされるようになる。図中端子 $X(n+1)$ は前記走査スイッチ SSa を介して $G-OFF$ 信号が供給される端子に接続され、端子 $X(n+2)$ は前記走査スイッチ SSa を介して $G-ON$ 信号が供給される端子に接続され、さらに、端子 $X(n+3)$ は前記走査スイッチ SSa を介して COM 信号が供給される端子に接続される。そして、それ以外の他の端子 X には $G-ON$ 信号、 $G-OFF$ 信号、 COM 信号のいずれも供給されないようになる。

【0337】

また、図 36 (d) の場合、図中端子 $X(n+1)$ からの $G-OFF$ 信号は前記走査スイッチ SSb を介してゲート信号線 $GL(n+1)$ に供給され、端子 X

($n+2$) からの G-ON 信号は前記走査スイッチ S S b を介してゲート信号線 G L ($n+2$) に供給され、端子 X ($n+3$) からの COM 信号は前記走査スイッチ S S b を介して対向電圧信号線 C L ($n+2$) に供給されるようになる。

【0338】

このことから、次の ($n+3$) ライン目のゲート信号線 G L ($n+3$) はフローティング状態となり、対向電圧信号線 C L ($n+3$) には、それぞれ G-ON 信号、COM 信号が供給されるようになる。

【0339】

そして、これが順次繰り返され、最下位のラインから最上位のラインに以降する場合においても、上述した関係を維持しながら前記走査スイッチ S S a および S S b はシフトされる。

【0340】

なお、図 35、および図 36 は、それぞれ、G-ON 信号、G-OFF 信号、COM (対向電圧) 信号が供給される端子から各ゲート信号線 G L および各対向電圧信号線 C L への信号供給タイミングは、それをわかり易くするため、走査スイッチ S S a、S S b の動作によって示したものである。しかし、このような構成はたとえばトランジスタ回路等を用いて行なう等のように、どのような構成としてもよいことはいうまでもない。

【0341】

実施例 27.

図 37 は、本発明による液晶表示装置の他の実施例を示す説明図で、そのゲートドライバ G D、ドレインドライバ D L、およびコモンドライバ C D に供給される制御信号を示したフロー図である。

【0342】

たとえば図 28 に示した実施例 (実施例 21) の説明のように、液晶表示部 A R に輝度の明るい領域と輝度の暗い領域が存在する場合には、各ドレイン信号線 D L には、それら各領域毎に異なった信号が出力されることになる。すなわち、各領域毎に映像信号 D の電圧が異なり、このためドレイン信号線 D L にとっての負荷が領域毎に異なることになる。そして、該負荷が異なるということは必要と

する電流が異なってくることを意味する。

【0343】

従来の技術では、予め最大負荷を想定しておき、一意的に同じバイアス電流で回路を駆動していた。しかし、この場合、低電流で駆動できる領域においても必要以上の電流を供給することになり、無駄な電流消費が生じ、消費電力が増大していた。

【0344】

それ故、本実施例では、液晶表示部ARの各領域毎にみかけの負荷容量に応じたバイアス電流を制御させることにより、消費電力の低減を実現させようとするものである。

【0345】

この場合、この実施例で説明する構成は、それ単独で用いてもよいが、上述した実施例で示したように、ゲート信号線GLおよび対向電圧信号線CLを同時にフローティング状態にする技術と組み合わせて用いる場合に特に顕著な効果を発揮するようになる。

【0346】

何故なら、従来においては映像信号Dの負荷は常に重い状態であり、これに対しゲート信号Gおよび対向電圧信号CのそれぞれをそのOFF時の大部分でフローティング状態にした場合、映像信号の負荷が理想的には数百分の一と劇的に低減しているからである。そこで、領域毎にバイアス電流をより高精度に制御することが可能となり、さらに映像信号駆動回路Heの低消費電力化を実現することができるからである。

【0347】

図37(a)において、まず、映像制御回路TCONに外部から画像信号Vsigが入力されるようになっている。該映像制御回路TCOMは、図37(b)に示すように、液晶表示パネルPNLのゲートドライバGD、ドレインドライバDD、およびコモンドライバCDのそれぞれに信号を供給されるようになっている。なお、この実施例では、同図に示すように、バイアス量指示信号BSSがドレインドライバDDに入力されるようになっている。

【0348】

画像信号 V_{sig} が入力された映像制御回路 $TCON$ は、まずステップ 1 で該画像信号 V_{sig} のデータを計測する。そして、ステップ 2 において、計測したデータより必要なバイアス電流を計算する。

【0349】

ここで、必要なバイアス電流の計算は、たとえば映像信号 D の値により設定し、たとえば該映像信号 D により定まる電圧値に比例させた値を該バイアス電流の値とすることができる。

【0350】

映像制御回路 $TCON$ からゲートドライバ GD へは、ステップ 3 にて、画像信号 V_{sig} 内の同期信号により次のゲート信号線 GL を選択するようになる。

【0351】

そして、映像制御回路 $TCON$ からドレインドライバ DD には、まず、ステップ 4 にて、映像制御回路 $TCON$ から転送された各ライン毎の映像信号 D を蓄積する。

【0352】

そして、ステップ 5 にて、各映像信号線 DL に対応した出力アンプのバイアス電流を設定し、同期信号によってそれぞれの映像信号 D を出力する。

【0353】

さらに、ステップ 6 にて、映像制御回路 $TCON$ からゲートドライバ GD へは、画像信号 V_{sig} 内の同期信号により次の対向電圧信号線 CL を選択するようにする。

【0354】

他の実施例として、対向電圧信号線 CL をフローティング状態とする構成に適用させる場合、上述した実施例で示したように、各ラインのドレイン信号線 DL の合計による対向電圧信号線 CL における対向電圧信号の変動量を計算し、その影響を考慮して前記バイアス量指示信号 BSS の値を決定してもよいことはいうまでもない。

【0355】

そして、本実施例の構成を、各対向電圧信号線CLにおける対向電圧信号の電位をドレイン信号線DLのデータに応じて制御する実施例21に示した構成と組み合わせ用いてもよいことはもちろんである。

【0356】

なお、この実施例において、映像制御回路TCONからドレインドライバDDへの前記バイアス量指示信号は、図37(c)に示すように、ドレインドライバDDに新たに設けるバイアス量入力端子BITに入力されるように構成しても、あるいは図37(d)に示すように、映像制御回路TCONからドレインドライバDDに送られるデータにバイアス量データBQDの転送期間を設けるようにしてもよいことはいうまでもない。

【0357】

図37(c)において、符号DITは画像データ入力端子、符号SITは同期信号入力端子を示し、図37(d)において、符号RDA、GDA、およびBDAはそれぞれ赤色用データ、緑色用データ、青色用データを示している。

【0358】

実施例28.

図38(a)、(b)はそれぞれ走査信号駆動回路Vのゲート信号線GL側の周辺における他の実施例を示す回路図、共通電極駆動回路Cmの対向電圧信号線CL側の周辺における他の実施例を示す回路図であり、それぞれ図3(a)、図4に対応した図となっている。

【0359】

図3(a)、図4に示した実施例のように、ゲート信号線GLおよび対向電圧信号線CLの大部分をフローティング状態とする構造では、それぞれSW1、SW5をONとしない場合は信号線毎が独立するため、外部からの静電気に対し弱い構造となっている。このため、製造工程中での静電気により断線や閾値変動が生じやすくなる。したがって、製造の容易化を実現するには、この静電気に対する配慮が必要となる。

【0360】

図38に示す実施例では、液晶表示部AR内の信号線がフローティングとなる

構造を有する場合において、各信号線をダイオードで共通線に接続することで、静電気進入時に急速な静電気の拡散を実現し、静電気には強い構造としている。

【0361】

すなわち、図38(a)において、各ゲート信号線GLのうちゲート信号線GL_nの場合を例に挙げると、該ゲート信号線GLのスイッチSW1(n)の接続部と信号線V_{gOFF}との間を双方向ダイオードBSDによって接続させた構成としている。また、図38(b)において、各対向電圧信号線CLのうち対向電圧信号線CL_nの場合を例に挙げると、該対向電圧信号線CL_nのスイッチSW5(n)の接続部と信号線V_cとの間に双方向ダイオードBSDによって接続させた構成としている。

【0362】

このように構成することにより、図38(a)に示すように、ゲート信号線GLに高電圧が加わった際に、該高電圧をゲート信号線GLから信号線V_{gOFF}へと速やかに逃がすことができるようになる。そして、ゲート信号線GLと信号線V_{gOFF}とを接続させる素子を双方向ダイオードBSDとすることにより、静電気の極性に問わず対応することができる。しかし、この双方向ダイオードBSDに替えて相互に逆極性のダイオードであっても、また一方向のダイオードであってもよいことはもちろんである。

【0363】

この実施例では、高電圧を逃すための信号線として信号線V_{gOFF}を用いたものである。安定性を向上させるためである。しかし、信号線V_{gON}であっても、さらに専用のバスラインを設け、これら配線層を用いるようにしてもよいことはいうまでもない。

【0364】

また、図38(b)に示すように、対向電圧信号線CLに高電圧が加わった際にも、該高電圧を対向電圧信号線CLから信号線V_cへと速やかに逃がすことができるようになる。この場合においても、専用のバスラインを設け、このバスラインを前記信号線V_cに替えて用いるようにしてもよいことはいうまでもない。

【0365】

図39 (a)、(b)は前記専用のバスラインに替えてフローティング電圧線FVLを用いた場合の他の実施例を示す図で、それぞれ図38 (a)、(b)に対応した図となっている。

【0366】

このように構成することによって、静電気対策と同時に、フローティングしたゲート信号線GLあるいは対向電圧信号線CLの電位変動を抑制し、安定化させる効果を奏する。

【0367】

なお、この場合、ゲート信号線GL側のフローティング電圧線FVLの電位は対向電圧信号線CL側のフローティング電圧線FVLの電位よりも小さくする方が望ましい。薄膜トランジスタTFTのOFFを良好に維持するためである。

【0368】

さらに、図40は他の実施例を示す回路図で、図39 (a)、(b)に示したように他のバスラインとしてたとえばフローティング電圧線FVLを用いた場合に、ゲート信号線GL側のフローティング電圧線FVLと対向電圧信号線DL側のフローティング電圧線FVLどおしを双方向ダイオードBSDで互いに接続させるようにしてもよいことはいうまでもない。

【0369】

さらに、図41も他の実施例を示す回路図で、ゲート信号線GL側のフローティング電圧線FVLを双方向ダイオードBSDを介してGNDラインGNDLに接続させるとともに、対向電圧信号線CL側のフローティング電圧線FVLも他の双方向ダイオードBSDを介してGNDラインGNDLに接続させるようにしたものである。さらに静電気強い構成を実現できるからである。

【0370】

ここで、前記双方向ダイオードBSDは図42 (a)に示す等価回路からなっている。すなわち、一対の各ダイオードをそれらの極性を変えて並列接続させた構成となっている。このような双方向ダイオードBSDは、ドライバを構成する半導体チップに組み込ませて構成してもよいが、該ドライバとは別個に透明基板SUB1の面に形成するようにしてもよい。

【0371】

後者の場合、たとえば図42(b)に示すように構成することができる。図42(b)は平面図で、図42(a)の等価回路と幾何学的に対応させて描いている。

【0372】

図42(a)において、図中上側には一方のダイオードが形成され、このダイオードは半導体層LTPS(1)の図中左側の一端を陰極に、図中右側の一端を陽極としている。そして、該陰極と陽極との間の前記半導体層LTPS(1)上に絶縁膜を介してゲート電極が形成され、このゲート電極は前記陽極に接続されている。また、図中下側には他方のダイオードが形成され、このダイオードは半導体層LTPS(2)の図中左側の一端を陽極に、図中右側の一端を陰極としている。そして、該陽極と陰極との間の前記半導体層LTPS(2)上に絶縁膜を介してゲート電極が形成され、このゲート電極は前記陰極に接続されている。

【0373】

図42(c)は図42(b)のc-c線における断面図を、図42(d)は図42(b)のd-d線における断面図を示している。ここで、各半導体層LTPS(1)、LTPS(2)とそれらの上方に形成される各ゲート電極との間に介在される前記絶縁膜は第1絶縁膜INSを用いている。

【0374】

該双方向ダイオードBSDは、液晶表示装置の画素内の薄膜トランジスタTFTと並行して形成するため、層構造における構成は該薄膜トランジスタTFTと類似し、前記ゲート電極が当該ダイオードの陽極あるいは陰極に接続されているか否かの相違を有するにすぎないからである。

【0375】

このように構成された双方向ダイオードBSDは、その配線層の一方の電位をそのままゲート電極電位として用いることで、高電圧が加わった場合のみONとすることができる。またゲート電極として用いる側の配線層を逆にすれば、極性を逆にすることができる。

【0376】

また通常動作時のリーク電流を低減させるためには、配線層をゲート電極層で作成することが望ましい。半導体層の低抵抗化のためのイオン打ち込み時に該配線層下にイオンが打ち込まれないため、高抵抗状態となり、スルーホール近傍から半導体層イオンが打ち込まれた領域への電流リークを低減できるからである。また半導体層がアモルファスシリコンとした場合、ゲート電極の距離をスルーホール下まで延在しないようにすれば、高抵抗領域が作成できる。

【0377】

他に種々の形態による作成が可能であり、高電圧時に該高電圧を逃がしうる構成であればよい。

【0378】

実施例 29.

液晶表示装置の画素として、液晶を介して対向配置される一方の基板の液晶側の面に、画素電極とこの画素電極との間に電界を発生せしめる対向電極とを備えたものが知られている。

【0379】

該画素電極と対向電極との間に基板と平行な成分を有する電界によって該液晶の光透過率を制御せしめる構成のものである。

【0380】

そして、このような各画素において、その領域内で前記電界の方向を異ならした領域を構成し、これにより視野角に依存する画像の色づきを補償した、いわゆるマルチドメイン方式のものであって、それら各領域における液晶の挙動（液晶分子の回転）を比較的電界の強い一端側から他端にかけて伝達させる工夫がなされているものが知られている。平行に配置された画素電極と対向電極との間に生じる電界のみでは液晶分子を回転させる力が弱い場合があるからである。

【0381】

しかし、このように構成された画素は、液晶の挙動を比較的電界の強い一端側から他端にかけて伝達させることから、その応答速度が遅く、その改善が望ましいことが判明した。

【0382】

また、特開平9-105908号公報に開示された画素はその他端側において、一方の電極が同一幅で延在された他端部を有するものであり、該他端部と他方の電極との間に生じる電界の方向が比較的不均一となり、この部分にいわゆるドメイン領域が生じ、結果として遮光しなければならず、画素のいわゆる開口率を狭めていたという指摘がなされていた。

【0383】

本実施例に続く以下の実施例では、液晶の応答速度を向上させた画素を有する液晶表示装置を提供する。

また、画素の開口率を向上させた液晶表示装置を提供する。

【0384】

代表的なものの概要を簡単に説明すれば、以下のとおりである。

(1)

本発明による液晶表示装置は、たとえば、画素領域に区分された第1の領域と第2の領域を有し、

各領域は第1と第2の電極により囲まれて領域が形成され、

第1と第2の電極はそれぞれ長い第1の電極部分と短い第2の電極部分とを有し、

第1の電極部分と第2の電極部分は鈍角となる関係を有して接続され、

前記第1の電極と第2の電極それぞれの第2の電極部分は各領域内で互いに最も遠い辺になるように配置されていて、

前記鈍角が第1の領域と第2の領域で異なる側に形成されていることを特徴とするものである。

【0385】

(2)

たとえば、(1)の構成を前提とし、それぞれの前記鈍角が初期配向方向に対して異なる側に位置づけられていることを特徴とするものである。

【0386】

(3)

たとえば、画素領域に区分された第1と第2の領域を有し、

各領域は第1と第2の電極を有し、

かつ、第1と第2の電極が平行に延在して主領域と第1と第2の電極が徐々に近接する補助領域を有し、

補助領域は画素領域の両端に配置され、かつ、それぞれ逆方向に徐々に近接するように配置され、

前記第1の領域と第2の領域はほぼ線対称に形成されていることを特徴とするものである。

【0387】

(4)

たとえば、画素領域内に、画素電極とこの画素電極との間に電界を生じせしめる対向電極とを備え、かつ、これら画素電極と対向電極とで囲まれた少なくとも2つの区分領域を備え、

これら区分領域のそれぞれは菱形状をなし、これら区分領域ほぼ液晶初期配向方向に対して線対称となって背中合わせに形成され、

これら各区分領域は、それぞれ一方の区分領域と背中合わせになる第1辺とこの第1辺の一方向側の端部にてこの第1辺と鈍角の開きを有して交差する第2辺とが前記画素電極と対向電極のうち一方の電極によって縁取られて形成されるときともに、

前記第1辺と平行となる第3辺とこの第3辺と前記一方向側と反対側の端部にて該第3辺と鈍角の開きを有して交差する第4辺とが前記画素電極と対向電極のうち他方の電極によって縁取られて形成されていることを特徴とするものである。

【0388】

(5)

たとえば、(4)の構成を前提とし、各区分領域の第1辺と第3辺のそれぞれの長さは該第1辺と第3辺の距離より大きく設定されていることを特徴とするものである。

【0389】

(6)

たとえば、(4)の構成を前提とし、画素電極は薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、該ドレイン信号線は液晶初期配向方向にほぼ一致付けられて形成されていることを特徴とするものである。

【0390】

(7)

たとえば、(4)の構成を前提とし、各区分領域の第1辺を縁取る電極は各区分領域における共通の電極として構成されていることを特徴とするものである。

【0391】

(8)

たとえば、(4)の構成を前提とし、線対称に背中合わせに形成された各区分領域は液晶初期配向方向に沿って複数形成され、これら各区分領域の第1辺と第2辺とを縁取る電極は一体として構成され、かつ、第3辺と第4辺とを縁取る電極は一体として構成されていることを特徴とするものである。

【0392】

(9)

たとえば、(4)の構成を前提とし、画素電極は薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、該ドレイン信号線は液晶初期配向方向にほぼ一致付けられて形成されているとともに、各区分領域の第2辺は前記ドレイン信号線の映像信号線の供給側に位置づけられていることを特徴とするものである。

【0393】

(10)

たとえば、(4)の構成を前提とし、画素電極は薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、該ドレイン信号線は液晶初期配向方向にほぼ一致付けられて形成されているとともに、各区分領域の第4辺は前記ドレイン信号線の映像信号線の供給側に位置づけられていることを特徴とするものである。

【0394】

(11)

たとえば、(4)の構成を前提とし、各区分領域の第1辺および第2辺を縁取る電極は画素電極であり、第3辺および第4辺を縁取る電極は対向電極であることを特徴とするものである。

【0395】

(12)

たとえば、(11)の構成を前提とし、画素電極は薄膜トランジスタを介してドレイン信号線からの映像信号が供給され、該ドレイン信号線は液晶初期配向方向にほぼ一致付けられて形成されているとともに、前記対向電極は前記ドレイン信号線を絶縁膜を介して被って形成されていることを特徴とするものである。

【0396】

(13)

たとえば、(12)の構成を前提とし、前記対向電極は透光性の導電層で構成されていることを特徴とするものである。

【0397】

以下、図面に基づきより詳細に説明する。

図43(a)は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、画素電極PXと対向電極CTのパターンと配置状態を模式的に示した図である。

【0398】

図43(a)において、画素領域は図中x方向に分割された2つの領域、すなわち第1画素領域PAE1と第2画素領域PAE2を有して構成されている。

【0399】

ここで、図中x方向にはゲート信号線GL(図示せず)が走行され、y方向にはドレイン信号線DL(図示せず)が走行されて、これら信号線に囲まれた領域において前記第1画素領域PAE1と第2画素領域PAE2を備えている。なお、この画素におけるいわゆる初期配向方向は図中y方向にほぼ一致づけられている。

【0400】

また、前記第1画素領域PAE1と第2画素領域PAE2のそれぞれはy方向

において長く形成された菱形形状をなしている。

【0401】

前記第1画素領域PAE1は、その図中左側辺および下側辺において対向電極CTによって画され、図中右側辺および上側辺において画素電極PXによって画されて構成されている。また、前記第2画素領域PAE2は、その図中左側辺および上側辺において画素電極PXによって画され、図中右側辺および下側辺において対向電極CTによって画されて構成されている。

【0402】

この実施例では、第1画素領域PAE1における前記画素電極PXと第2画素領域PAE2における前記画素領域PXは、第1画素領域PAE1および第2画素領域PAE2と画する部分で共通となっている。

【0403】

そして、同図に示すように、第1画素領域PAE1は、その右側辺であって画素電極PXの辺を第1辺部A、上側辺であって前記画素電極PXの辺を第2辺部Bとすると、該第1辺部Aと第2辺部で形成される角度は鈍角($>90^\circ$)となっている。また、該第1画素領域PAE1の左側辺であって対向電極CTの辺を第3辺部C、下側辺であって前記対向電極CTの辺を第4辺部Dとすると、該第3辺部Cと第4辺部Dで形成される角度は鈍角($>90^\circ$)となっている。すなわち、前記第1画素領域PAE1は菱形のパターンをなし、その内角のうち一の鈍角を有する角度を構成する二辺を一方の電極の辺で形成し、他の鈍角を有する角度を構成する二辺を他方の電極の辺で形成している。

【0404】

また、該第2画素領域PAE2は、第1画素領域PAE1の画素電極PXと共通化を図った画素電極PXの中心軸を中心として、該第2画素領域PAE2と背中合わせのほぼ線対称の関係にあつて、第1画素領域PAE1と同様の構成となっている。

【0405】

このようなパターンを有する画素電極PXおよび対向電極CTを有する画素は、その画素電極PXと対向電極CTとの間に生じる電界の分布が図43(b)に

示すようになり、第1画素領域P A E 1および第2画素領域P A E 2とも、その上下の各部分、すなわち、たとえば、第1画素領域P A E 1を例に挙げると、その菱型形状の各角の前記鈍角部を除く他の鋭角部で電界が強くなるとともに、その電界方向も図43 (d) に示すように液晶分子L Q Mの一方向への振りによる回転運動を行い易くなるようになっている。ここで、図43 (d) において、符号E A Dは初期配向方向を示し、その図の左側の液晶分子L Q Mは第1画素領域P A E 1におけるそれを、右側の液晶分子L Q Mは第2画素領域P A E 2におけるそれを示している。

【0406】

したがって、図43 (c) に示すように、第1画素領域P A E 1および第2画素領域P A E 2の前記上下の各部分、すなわち○で囲まれた各領域にあって、その領域内の液晶分子L Q Mは高電界で駆動され、各領域において規定される一方向への振りによる回転運動が該各領域以外の他の領域（画素の中央における領域）にまでそのまま追従され、高速かつ正規な液晶分子の駆動を達成させることができ、スメアの発生を抑制できるようになる。

【0407】

また、第1画素領域P A E 1および第2画素領域P A E 2における前記第1辺部Aと第2辺部Cの長さがそれら各辺の距離に比べて比較的長く、かつ平行に配置されていることから、製造が容易となり歩留まりが向上するという効果を奏する。

【0408】

また、配向処理時、前記第1辺部Aと第2辺部Cに相当する電極の延在方向と初期配向方向E A Dが略平行となるため、配向処理が容易かつ確実にでき、初期配向方向が安定するため、コントラスト費が向上するという効果を奏する。

【0409】

さらに、このように構成した各画素領域P A E 1、P A E 2は、それらの領域内のいずれの部分においても液晶分子が正常に挙動され、たとえばいわゆるドメイン領域となる部分を無くすることができるようになる。このため、これら各領域においてたとえばブラックマトリクスB M等の他の部材によって遮光する部分を

皆無とすることができる。

【0410】

なお、この実施例の説明では、画素の中央を走行する電極を画素電極 P X、この画素電極 P X の両脇に配置される電極を対向電極 C T として構成したものであるが、該画素電極 P X および対向電極 C T をそれぞれ対向電極 C T および画素電極 P X となるように構成するようにしてもよいことはいうまでもない。

【0411】

実施例 30.

図 44 (a) は、本発明による液晶表示装置の画素の一実施例を示す平面図である。また、図 44 (b) は図 44 (a) の b-b 線における断面図を、図 44 (c) は図 44 (a) の c-c 線における断面図を示している。

【0412】

同図において、まず、透明基板 SUB 1 の液晶側の面にはたとえばポリシリコン層からなる半導体層 P S I が形成されている。この半導体層 P S I はたとえばプラズマ C V D 装置によって成膜したアモルファス S i 膜をエキシマレーザによって多結晶化したものである。

【0413】

この半導体層 P S I は薄膜トランジスタ T F T のそれで、後述するゲート信号線 G L をたとえば 2 回横切るように迂回して形成されたパターンをなしている。

【0414】

そして、このように半導体層 P S I が形成された透明基板 SUB 1 の表面には、該半導体層 P S I をも覆ったたとえば S i O₂ あるいは S i N からなる第 1 絶縁膜 I N S が形成されている。

【0415】

この第 1 絶縁膜 I N S は前記薄膜トランジスタ T F T のゲート絶縁膜として機能するようになっている。

【0416】

そして、第 1 絶縁膜 I N S の上面には、図中 x 方向に延在し y 方向に並設されるゲート信号線 G L が形成され、このゲート信号線 G L は後述するドレイン信号

線DLとともに矩形状の画素領域を画するようになっている。

【0417】

該ゲート信号線GLは前述した半導体層PSIを2回横切るようにして走行され、該半導体層PSIを横切る部分は薄膜トランジスタTF Tのゲート電極として機能するようになっている。

【0418】

なお、このゲート信号線GLの形成後は、第1絶縁膜INSを介して不純物のイオン打ち込みをし、前記半導体層PSIにおいて前記ゲート信号線GLの直下を除く領域を導電化させることによって、薄膜トランジスタTF Tのソース領域およびドレイン領域が形成されるようになっている。

【0419】

前記ゲート信号線GLをも被って前記第1絶縁膜INSの上面には第2絶縁膜GIがたとえばSiO₂あるいはSiNによって形成されている。

【0420】

この第2絶縁膜GIの表面には、y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。そして、このドレイン信号線DLの一部にはその下の第2絶縁膜GIおよび第1絶縁膜INSを貫通するスルーホールTH1を通して前記半導体層PSIに接続されている。該半導体層PSIのドレイン信号線DLと接続された部分は薄膜トランジスタTF Tの一方の領域、たとえばドレイン領域となる部分である。

【0421】

また、前記ドレイン信号線DLとゲート信号線GLで囲まれる画素領域内の前記第2絶縁膜GIの表面には画素電極PXが形成されている。この画素電極PXは画素領域のほぼ中央をy方向に走行する帯状のパターンとこの帯状のパターンの左右側からそれぞれ延在した枝状のパターンとからなっている。

【0422】

さらに、詳述すると、前記画素電極PXは、その帯状のパターンの当該画素領域の薄膜トランジスタTF T側の一端が、その下の第3絶縁膜PAS、第2絶縁膜GI、および第1絶縁膜INSに貫通させて設けたスルーホールTH2を通し

て薄膜トランジスタ T F T の他方の領域、たとえばソース領域に接続されている。

【0423】

また、該帯状のパターンの該ソース領域の接続部から他端にかけて、その左右側から延在した前記枝状のパターンは、ほぼ等間隔にこの実施例では3つ設けられ、該延在方向は該帯状のパターンに対して鈍角 ($> 90^\circ$) をなしている。

【0424】

なお、ドレイン信号線 D L と同層に形成される該画素電極 P X の前記枝状パターンの先端は該ドレイン信号線 D L と電氣的に接続を回避させるため、物理的に分離されて構成されている。

【0425】

これにより、ドレイン信号線 D L とゲート信号線 G L とで囲まれた画素領域は、前記画素電極 P X により画された6つの領域が形成されることになる。この6つの各領域は後述する対向電極 C T との関係で、それぞれ機能的には同一の独立の画素領域を形成することになる。これについては後述する。

【0426】

なお、画素電極 P X は、その材料として金属であってもよいが、この実施例では、たとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、 SnO_2 (酸化スズ)、 In_2O_3 (酸化インジウム) 等の透光性の導電層で構成している。いわゆる開口率をできるだけ向上させようとする配慮からである。

【0427】

さらに、このドレイン信号線 D L および画素電極 P X をも被って第2絶縁膜 G I の表面には第3絶縁膜 P A S が形成されている。この第3絶縁膜 P A S はたとえば樹脂等の有機材料からなり、前記第2絶縁膜 G I とともに前記薄膜トランジスタ T F T への液晶の直接の接触を回避するための保護膜となっている。第3絶縁膜 P A S を有機材料で構成したのは保護膜としての誘電率を低減させ、かつ表面を平坦化するためである。

【0428】

そして、この第3絶縁膜PASの上面には対向電極CTが形成されている。この対向電極CTは対向電圧信号線CLと一体に形成され、該対向電圧信号線CLは当該画素領域の薄膜トランジスタTFTを駆動させるゲート信号線GL（図中下側のゲート信号線GL）を被って形成されているが、当該画素領域を挟んで形成される他のゲート信号線GL（図中上側のゲート信号線GL）を被うことなく形成されている。同図に示した画素に対して図中x方向に並設される他の画素に共通な対向電圧信号線CLに対向電圧信号を供給させる場合の構成としているからである。

【0429】

前記対向電極CTは、まず前記画素電極PXの帯状パターンを間に位置づけ、ドレイン信号線DLのそれぞれに重畳されるようにして形成されている。この場合、該ドレイン信号線DLに重畳される対向電極CTはそれらの中心軸がほぼ一致づけられて配置され、かつ、その幅は該ドレイン信号線DLのそれよりも大きく形成されている。ドレイン信号線DLからの電気力線を該対向電極CT側に終端させ、画素電極PX側に終端させるのを回避させる配慮からである。

【0430】

ここで、本実施例では、一方の側のドレイン信号線DLに重畳された対向電極CTと他方の側のドレイン信号線DLに重畳された対向電極CTとは、前記画素電極PXの枝状のパターンが形成された部分にて互いに接続された構成をとっている。

【0431】

すなわち、当該画素領域において対向電極CTはいわゆる梯子状のパターンをなし、前記画素電極PXの枝状のパターン上の前記接続部によって、該画素電極PXの枝状のパターンとともに6つの同一機能を有する独立の画素領域を構成するようになっている。

【0432】

さらに詳述すれば、一方の側のドレイン信号線DLに重畳された対向電極CTと他方の側のドレイン信号線DLに重畳された対向電極CTとの前記接続部（接続パターン）は、該画素電極PXの枝状のパターンとほぼ同様のパターンをなし

、該枝状のパターンとは完全には重畳することなく図中上側（y 方向）に若干シフトされ、その結果、その一部が該枝状のパターンと重畳され残りは重畳されていない構成となっている。

【0433】

これにより、一の分割された画素領域を観察した場合、その画素領域の上側には画素電極 P X（枝状のパターン）が対向電極 C T（接続パターン）に重畳されることなく形成され、該画素領域の下側には対向電極 C T（接続パターン）が画素電極 P X（枝状のパターン）に重畳されることなく形成されている。このことは、その画素領域の上側において画素電極 P X（枝状のパターン）の影響が大であり、下側において対向電極 C T（接続パターン）の影響が大であることを意味する。

【0434】

すなわち、分割された各画素領域のそれぞれは、図 43（a）に示した各画素領域と同様な効果を奏するようになることを意味する。

【0435】

そして、このことから、ドレイン信号線 D L とゲート信号線 G L で囲まれた画素領域内の対向電圧信号線 C L に近接する分割された画素領域には、画素電極 P X（枝状パターン）と重畳する接続パターンは存在しないが、画素電極 P X（枝状パターン）と重畳する接続パターンを（一）y 方向に平行に移動させた如くのパターンとして形成されている。同様に、ドレイン信号線 D L とゲート信号線 G L で囲まれた画素領域内の対向電圧信号線 C L に近接する側とは反対側において、分割された画素領域も同様となっている。

【0436】

なお、この実施例で、画素電極 P X の枝状パターンと対向電極 C T の接続パターンとを一部重畳させて構成しているのは、この重畳させた部分において容量素子 C s t g を形成させんがためである。

【0437】

また、一体に形成される対向電極 C T と対向電圧信号線 C L は、その材料として金属であってもよいが、この実施例では、たとえば、ITO（Indium Tin Oxide）

、ITZO(Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、 SnO_2 (酸化スズ)、 In_2O_3 (酸化インジウム) 等の透光性の導電層で構成している。いわゆる開口率をできるだけ向上させようとする配慮からである。

【0438】

また、この実施例では、たとえば透明基板SUB1と液晶を介して対向配置される他の透明基板の液晶側の面に、ブラックマトリクスBMが形成され、このブラックマトリクスBMは薄膜トランジスタTFTの形成領域を被ってゲート信号線GLに沿って形成されている。

【0439】

このブラックマトリクスBMは区分された各画素領域を被うことなく形成できる。上述したように該各画素領域内のいずれの部分においても液晶が正常に挙動でき、いわゆるドメイン領域となる部分を遮光する必要がないからである。

【0440】

そして、区分された各画素領域を各する画素電極PXおよび対向電極CTはたとえそれを透光性の導電層として用いた場合でも、たとえば液晶をノーマリホワイトモードのものをを用いることによってそれらが遮光膜の機能を果たすことができる。

【0441】

このことから、前述したブラックマトリクスBMは薄膜トランスタTFTのみを被う構成とし、該薄膜トランジスタTFTを光照射による特性劣化を図るようにすることもできるようになる。

【0442】

実施例31.

図45(a)は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図44(a)に対応した図となっている。また、図45(b)は図45(a)のb-b線における断面図を、図45(c)は図45(a)のc-c線における断面図を示している。

【0443】

図44(a)と比較して異なる構成は、まず、画素電極PXと対向電極CT(

対向電圧信号線CL)は同層に形成され、それぞれ第3絶縁膜PASの表面に形成されていることにある。

【0444】

そして、ドレイン信号線CLとゲート信号線GLとで囲まれた画素領域は画素電極PXによって2つの領域に区分されている。すなわち、該画素電極PXは当該薄膜トランジスタTF Tを駆動するゲート信号線GL側の一端からy方向に延在され、他のゲート信号線GLに近接する他端において鈍角($>90^\circ$)状に幅が徐々に広くなるように形成されている。

【0445】

一方、対向電極CTは、図44(a)に示したように、当該薄膜トランジスタTF Tを駆動するゲート信号線GL側を被う対向電圧信号線CLから各ドレイン信号線DLに沿って延在するように構成され、該対向電極CTと対向電圧信号線CLとの接続部においてその幅が徐々に狭くなるように形成されている。この結果、対向電極CTの幅は対向電圧信号線CLへ近づくにつれ鈍角($>90^\circ$)状に幅が徐々に広がって形成されるとともに、該鈍角の角度は、前記画素電極PXの前記他端において幅が広くなる際の角度とほぼ等しくなっている。

【0446】

なお、画素電極PXの前記一端は、その下に形成される第3絶縁膜PASを貫通するスルーホールTH3を通して第2絶縁膜GI面に形成された接続用配線CMに接続され、この接続用配線CMは、その下に形成される第2絶縁膜GIおよび第1絶縁膜INSを貫通するスルーホールTH2を通して薄膜トランジスタTF Tのソース領域に接続されている。そして、この場合、前記接続用配線CMはその一部において対向電圧信号線CLとの重畳部を形成するようにし、この重畳部において第3絶縁膜PASを誘電体膜とする容量素子Cstgを構成している。

【0447】

このように構成した液晶表示装置の画素は、ドレイン信号線DLおよびゲート信号線GLによって囲まれた画素領域が画素電極PXと対向電極CTによって2つの領域に区分されるようになり、それぞれの領域において前記図43に示した

構成における効果、すなわち、画素電極 P X と対向電極 C T の近接部に強電界を形成させることができ、それを駆動力として残りの面内の液晶の回転方向を制御することができる効果を奏する。

【0448】

実施例 32.

図 46 (a) は、本発明による液晶表示装置の画素の他の実施例を示す平面図であり、図 45 (a) に対応した図となっている。また、図 46 (b) は図 46 (a) の b-b 線における断面図を、図 46 (c) は図 46 (a) の c-c 線における断面図を示している。

【0449】

図 45 (a) の場合と比較して異なる構成は対向電圧信号線 C L にあり、対向電圧信号線 C L は、当該画素を駆動するゲート信号線 G L を被う対向電圧信号線 C L は当該画素に形成されている対向電極 C T と電氣的に分離されていることにある。そして、該対向電極 C T は当該画素を駆動するゲート信号線 G L と当該画素を挟んで形成される他のゲート信号線 G L を被う対向電圧信号線 C L と電氣的に接続されていることにある。

【0450】

そして、当該画素を駆動するゲート信号線 G L を被う対向電圧信号線 C L と当該画素の対向電極 C T との電氣的分離箇所は遮光膜 B M で被う構成としている。

【0451】

このように構成した場合、上述の実施例で説明したように、ゲート信号線 G L の書き込み時に該ゲート信号線 G L 上の対向電圧信号線 C L をフローティング状態とできるため書き込み特性を向上させることができる。

【0452】

また、図 46 (a) に示したと同様に、画素電極 P X と対向電極 C T の近接部に強電界を形成させることができ、それを駆動力として残りの面内の液晶の回転方向を制御することができる。したがって、発生させる電界をより強くすることが必要となり、ゲート信号線 G L の書き込み時に該ゲート信号線 G L 上の対向電圧信号線 C L をフローティングとできる上記構成が極めて効果的となる。

【0453】

実施例 33.

図 47 (a) は、本発明による液晶表示装置の画素の他の実施例を示す平面図であり、図 44 (a) に対応した図となっている。また、図 47 (b) は図 47 (a) の b-b 線における断面図を、図 47 (c) は図 47 (a) の c-c 線における断面図を示している。

【0454】

図 44 (a) の場合と比較して異なる構成は、まず、対向電極 CT および対向電圧信号線 CL が第 3 絶縁膜 PAS の表面に形成され、これら対向電極 CT および対向電圧信号線 CL はたとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成している。

【0455】

そして、これら対向電極 CT および対向電圧信号線 CL の全体の電気抵抗を低減させるため、金属で構成された対向電圧信号線 CL' を新たに設け、この対向電圧信号線 CL' を前記対向電圧信号線 CL との接続を図っている。

【0456】

前記対向電圧信号線 CL' は、当該画素を駆動するゲート信号線 GL と該画素を挟んで形成される他のゲート信号線 GL に隣接させて形成し、たとえば該他のゲート信号線 GL の形成の際に同時に形成しているため該他のゲート信号線 GL と同一の材料で構成されている。

【0457】

この対向電圧信号線 CL' と第 3 絶縁膜 PAS 上の対向電圧信号線 CL との接続は該第 3 絶縁膜 PAS および第 2 絶縁膜 GI を貫通するスルーホール TH4 を通してなされる (図 47 (b) 参照)。

【0458】

なお、前記対向電圧信号線 CL' とそれに隣接するゲート信号線 GL は第 3 絶縁膜 PAS 上の対向電圧信号線 CL によって被われ、かつ当該画素の対向電極 CT と一体に接続されている。そして、当該画素の前記対向電極 CT は当該画素を

駆動するゲート信号線GLを被って形成される対向電圧信号線CLとはこの対向電圧信号線CLの近傍にて電氣的に分離されて構成されている。

【0459】

このことから、この近傍に形成される遮光膜BMは少なくとも対向電圧信号線CLと対向電極CTの電氣的分離箇所を被うようにして形成されている。

【0460】

また、ドレイン信号線DLとゲート信号線GLとで囲まれる領域が、画素電極PXと対向電極CTとで6つの領域に区分けされていることは図44(a)の場合と同様である。しかし、各領域の最外郭で形成されるパターンが図44(a)の場合と比較すると上下逆になっていることに相違を有する。

【0461】

すなわち、図44(a)の場合、y方向に延在する画素電極PXは、当該画素の薄膜トランジスタTF Tと接続される側から反対の方向にかけて鈍角($>90^\circ$)を有するように枝状パターンを有し、これにともない一方のドレイン信号線DL上の対向電極CTと他方のドレイン信号線DL上の対向電極CTとの接続パターンも前記枝状パターンに類似させた構成としているものである。

【0462】

これに対し、本実施例の場合、y方向に延在する画素電極PXは、当該画素の薄膜トランジスタTF Tと接続される側と反対の側から該薄膜トランジスタTF Tの方向にかけて鈍角($>90^\circ$)を有するように枝状パターンを有し、これにともない一方のドレイン信号線DL上の対向電極CTと他方のドレイン信号線DL上の対向電極CTとの接続パターンも前記枝状パターンに類似させた構成としているものである。

【0463】

対向電極CTの前記接続パターンは、画素電極PXの枝状パターンを薄膜トランジスタTF T側へ、該画素電極PXの枝状パターンと一部重畳領域を残してシフトさせた位置に配置されている。対向電極CTの前記接続パターンと画素電極PXの枝状パターンとの一部重畳領域は、その部分において第3絶縁膜PASを誘電体膜とする容量素子Cs t gを形成せんがためである。

【0464】

なお、前記画素電極 P X は金属等で構成してもよいが、たとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成してもよいことはいうまでもない。いわゆる画素の開口率をできるだけ向上させるためである。

【0465】

実施例 34.

図 48 は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 46 (a) に対応した図となっている。

【0466】

図 46 (a) の場合と比較して異なる構成は、まず、当該画素を駆動するゲート信号線 G L と当該画素領域を挟んで配置される他のゲート信号線 G L と隣接させて金属で形成された対向電圧信号線 C L' が形成されている。

【0467】

この対向電圧信号線 C L' とこれに隣接される前記他のゲート信号線 G L の上方の第 3 絶縁膜 P A S の上面には、前記対向電圧信号線 C L' と他のゲート信号線 G L をも被って、透光性の導電膜で形成された対向電圧信号線 C L が形成されている。なお、この対向電圧信号線 C L は当該画素の対向電極 C T と一体に形成されたものである。

【0468】

また、ゲート信号線 G L とドレイン信号線 D L とで囲まれた画素領域を、画素電極 P X と対向電極 C T とで 2 つの領域に区分する構成は図 46 (a) の場合と同様である。しかし、それら各領域は図 46 (a) に示す各領域を上下逆にしたパターンとして形成されていることに相違を有する。

【0469】

すなわち、図中 y 方向に延在する画素電極 P X は、薄膜トランジスタ T F T との接続部に近づくにつれ、鈍角 ($> 90^\circ$) に広がって、その幅が徐々に大きくなるパターンを有している。一方、対向電極 C T はその画素領域の中央部を除く

周辺部に形成されるが、各ドレイン信号線DLと重畳されて形成されたそれは、前記薄膜トランジスタTF Tの側とは反対側に近づくにつれ、鈍角 ($> 90^\circ$) に広がって、その幅が徐々に大きくなるパターンを有している。

【0470】

この場合の、前記画素電極PXの広がり角と対向電極CTの広がり角とはほぼ等しく構成されている。

【0471】

このように構成された画素は、その区分された各領域が図46 (a) に示す各領域を上下逆にしたパターンとして形成したものであることから、図46 (a) に示した構成の場合と同様の効果を奏する。

【0472】

実施例35.

図49は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図48に対応した図となっている。

【0473】

図48の場合と比較して異なる構成は、ドレイン信号線DLとゲート信号線GLとで囲まれた画素領域が、画素電極PXと対向電極CTによって4つに区分されていることにある。

【0474】

すなわち、該画素領域の中央をy方向に延在する画素電極PXが配置され、この画素電極PXの一端およびその反対側の他端はそれぞれ、その延在方向に至るに従い徐々に幅が広がるように形成され、それが対向電圧信号線CLの近傍にまで至っている。これにより、該画素電極PXの各端部は放射状に広がる形状をなし、その広がり面の各辺はそれぞれ直線状に延在する部分に対して鈍角 ($> 90^\circ$) となっている。

【0475】

一方、当該画素領域を挟む各ドレイン信号線DLを被って形成されるそれぞれの対向電極CTは、そのほぼ中央部において、前記画素電極PX側へ延在する突出部CTpが形成され、この突起部CTpは該画素電極PXに近づくにつれその

幅が徐々に狭まる形状をなし、その傾斜面の各辺はそれぞれ直線状に延在する部分に対して鈍角 ($>90^\circ$) となっている。

【0476】

このように構成した場合も、画素領域を画素電極 P X と対向電極 C T によって区分した各領域は、それぞれ図 46 (a) に示した構成と同様となり、該構成の説明に示した効果を奏するようになる。

【0477】

また、このように区分された各領域を 2 つ以上設けることにより、各領域の面積が比較的小さくなり、その内部の画素電極 P X と対向電極 C T による電界の強度が大きくなり、応答速度の向上を図ることができる。

【0478】

実施例 36.

図 50 は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 49 に対応した図となっている。

【0479】

図 49 の場合と比較して異なる構成は、画素領域の中央を図中 x 方向に延在する対向電圧信号線 C L' が走行して形成されていることにある。そして、該対向電圧信号線 C L' は、たとえばゲート信号線 G L の形成の際に同時に形成されるようになっているとともに、対向電極 C T の突出部 C T p の部分において、第 3 絶縁膜 P A S、第 2 絶縁膜 G I、および第 1 絶縁膜 I N S を貫通するスルーホール T H を通して該対向電極 C T (対向電圧信号線 C L) と接続されている。

【0480】

この対向電圧信号線 C L' は金属等の電氣的抵抗が比較的小さい材料で形成され、対向電極 C T と一体に形成された対向電圧信号線 C L の電気抵抗値を低減させるために設けられたものである。

【0481】

このため、対向電極 C T および対向電圧信号線 C L はたとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成してもよいこ

とはいうまでもない。いわゆる画素の開口率をできるだけ向上させるためである。

【0482】

実施例 37.

図 51 は、本発明による液晶表示装置の画素の他の実施例を示す図で、図 49 と対応した図となっている。

【0483】

図 49 の場合と比較した場合、ドレイン信号線 DL とゲート信号線 GL とで囲まれた画素領域が、画素電極 PX と対向電極 CT によって 4 つに区分されていることは同様であるが、該画素電極 PX と対向電極 CT のそれぞれのパターンが異なっている。

【0484】

すなわち、当該画素領域の中央を y 方向に延在する画素電極 PX は、そのほぼ中央部において、該画素電極 PX を挟んで配置される各対向電極 CT の側へ延在する突出部 PX p が形成され、この突起部 PX p は各対向電極 CT に近づくにつれその幅が徐々に狭まる形状をなし、その傾斜面は直線状に延在する部分に対して鈍角 ($> 90^\circ$) となっている。

【0485】

一方、当該画素領域を挟む各ドレイン信号線 DL を被って形成されるそれぞれの対向電極 CT は、それら各端部で対向電圧信号線 CL と接続する部分において、放射状に広がるの形状をなし、その広がり面は直線状に延在する部分に対して鈍角 ($> 90^\circ$) となっている。

【0486】

このように構成した場合も、画素領域を画素電極 PX と対向電極 CT によって区分した各領域は、それぞれ図 46 (a) に示した構成と同様となり、該構成の説明に示した効果を奏するようになる。

【0487】

また、このように区分された各領域を 2 つ以上設けることにより、各領域の面積が比較的小さくなり、その内部の画素電極 PX と対向電極 CT による電界の強

度が大きくなり、応答速度の向上を図ることができる。

【0488】

実施例 38.

図 52 は、本発明による液晶表示装置の画素の他の実施例を示す図で、図 50 と対応した図となっている。

【0489】

図 50 の場合と比較して異なる構成は、画素領域の中央を図中 x 方向に延在する対向電圧信号線 CL' が走行して形成されていることにある。そして、該対向電圧信号線 CL' は、たとえばゲート信号線 GL の形成の際に同時に形成されるようになっている。この場合、画素電極 PX の下方の突出部 PXp の下方において、該突出部 PXp からはみ出さない程度に若干その幅が広く形成されている。該対向電圧信号線 CL' の電氣的抵抗をできるだけ低減させようとする配慮からである。

【0490】

この対向電圧信号線 CL' は、液晶表示部 AR の外側の領域で対向電圧信号線 CL と接続され、該対向電圧信号線 CL の電気抵抗値を低減させるために設けられたものである。

【0491】

このため、対向電極 CT および対向電圧信号線 CL はたとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電層で構成してもよいことはいうまでもない。いわゆる画素の開口率をできるだけ向上させるためである。

【0492】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【0493】

【発明の効果】

以上説明したことから明らかなように、本発明による液晶表示装置によれば、そのドレイン信号線に映像信号を供給する際に、その不要な電力消費が生じるのを大幅に低減させることができるようになる。

【図面の簡単な説明】

【図 1】

本発明による液晶表示装置の一実施例を示す等価回路図である。

【図 2】

本発明による液晶表示装置の一実施例を示す概念図である。

【図 3】

図 2 に示すスイッチング回路 SW 1 の一実施例を示す具体的な回路図、及び動作図である。

【図 4】

図 2 に示すスイッチング回路 SW 2 の一実施例を示す具体的な回路図である。

【図 5】

図 2 に示すスイッチング回路 SW 1 の他の実施例を示す具体的な回路図、及び動作図である。

【図 6】

本発明による液晶表示装置の他の実施例を示す図で、上述したスイッチング回路を駆動回路に組み込んだドライバを示す図である。

【図 7】

前記ドライバの配置状態を示した図である。

【図 8】

本発明による液晶表示装置の他の実施例を示す図で、走査信号駆動回路側のスイッチング回路 SW 1 に対向電圧信号線を切り替えるスイッチング回路 SW 2 を組み込んだ回路図である。

【図 9】

図 8 に示す回路のタイミング動作図である。

【図 10】

本発明による液晶表示装置の他の実施例を示す構成図で、対向電圧信号線の断

線に対する修復可能な構成を示す図である。

【図 1 1】

本発明による液晶表示装置の他の実施例を示す説明図で、隣接するドレイン信号線に極性の同じ映像信号を供給することを示す図である。

【図 1 2】

隣接するドレイン信号線に極性の異なる映像信号を供給した場合の不都合を示す説明図である。

【図 1 3】

本発明による液晶表示装置の他の実施例を示す説明図で、複数の対向電圧信号線に同時に対向電圧信号を供給する構成を示した図である。

【図 1 4】

本発明による液晶表示装置の他の実施例を示す説明図で、透明基板面におけるドライバの配置を示した図である。

【図 1 5】

本発明による液晶表示装置の他の実施例を示す説明図で、複数の対向電圧信号線に同時に対向電圧信号を供給する場合に、それら複数の対向電圧信号線がグループ状に構成したことを示した図である。

【図 1 6】

本発明による液晶表示装置の他の実施例を示す説明図で、対向電圧信号を同時に供給する複数の対向電圧信号線において、それら対向電圧信号線が入れ湖状になっている実施例を示した図である。

【図 1 7】

本発明による液晶表示装置の画素の一実施例を示す構成図である。

【図 1 8】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 1 9】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 0】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 1】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 2】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 3】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 4】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 5】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 6】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 2 7】

本発明による液晶表示装置の他の実施例を示す構成図で、共通電極駆動回路の周辺を示す回路図とその説明図である。

【図 2 8】

本発明による液晶表示装置の他の実施例を示す構成図で、外部からの画像信号を各ドライバを介して出力するまでの制御を示すフローチャートおよびその説明図である。

【図 2 9】

本発明による液晶表示装置の他の実施例を示す構成図で、各ドライバの配置等を示した図である。

【図 3 0】

本発明による液晶表示装置の他の実施例を示す構成図で、半導体チップからなるゲートドライバおよびコモンドライバをデータ転送配線で接続させた図である。

【図 3 1】

本発明による液晶表示装置の他の実施例を示す構成図で、TCP方式の半導体装置からなるゲートドライバおよびコモンドライバをデータ転送配線で接続させ

た図である。

【図 3 2】

本発明による液晶表示装置の他の実施例を示す構成図で、半導体チップからなるゲートドライバおよびコモンドライバをデータ転送配線で接続させる場合の具体的構成を示す図である。

【図 3 3】

本発明による液晶表示装置の他の実施例を示す構成図で、半導体チップからなるゲートドライバおよびコモンドライバをデータ転送配線で接続させる場合の他の具体的構成を示す図である。

【図 3 4】

本発明による液晶表示装置の他の実施例を示す説明図で、一つの回路から走査信号および対向電圧信号を送出させる場合の信号波形を示した図である。

【図 3 5】

本発明による液晶表示装置であって、一つの回路から走査信号および対向電圧信号を送出させる場合のスイッチの切り替え動作を示した図である。

【図 3 6】

本発明による液晶表示装置であって、一つの回路から走査信号および対向電圧信号を送出させる場合のスイッチの他の切り替え動作を示した図である。

【図 3 7】

本発明による液晶表示装置の他の実施例を示す構成図で、外部からの画像信号を各ドライバを介して出力するまでの制御を示すフローチャートおよびその説明図である。

【図 3 8】

本発明による液晶表示装置の他の実施例を示す構成図で、静電気対策用の回路が組み込まれていることを示した図である。

【図 3 9】

本発明による液晶表示装置の他の実施例を示す構成図で、静電気対策用の回路が組み込まれていることを示した図である。

【図 4 0】

本発明による液晶表示装置の他の実施例を示す構成図で、静電気対策用の回路が 組み込まれていることを示した図である。

【図 4 1】

本発明による液晶表示装置の他の実施例を示す構成図で、静電気対策用の回路が組み込まれていることを示した図である。

【図 4 2】

本発明による液晶表示装置の他の実施例を示す構成図で、静電気対策用の回路に組み込まれる双方向性ダイオードの構成を示した図である。

【図 4 3】

本発明による液晶表示装置の画素の他の実施例を示す説明図で、その基本的条件を示した図である。

【図 4 4】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 4 5】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 4 6】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 4 7】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 4 8】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 4 9】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 5 0】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 5 1】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 5 2】

本発明による液晶表示装置の画素の他の実施例を示す構成図である。

【図 53】

従来の液晶表示装置の一例を示す等価回路図である。

【符号の説明】

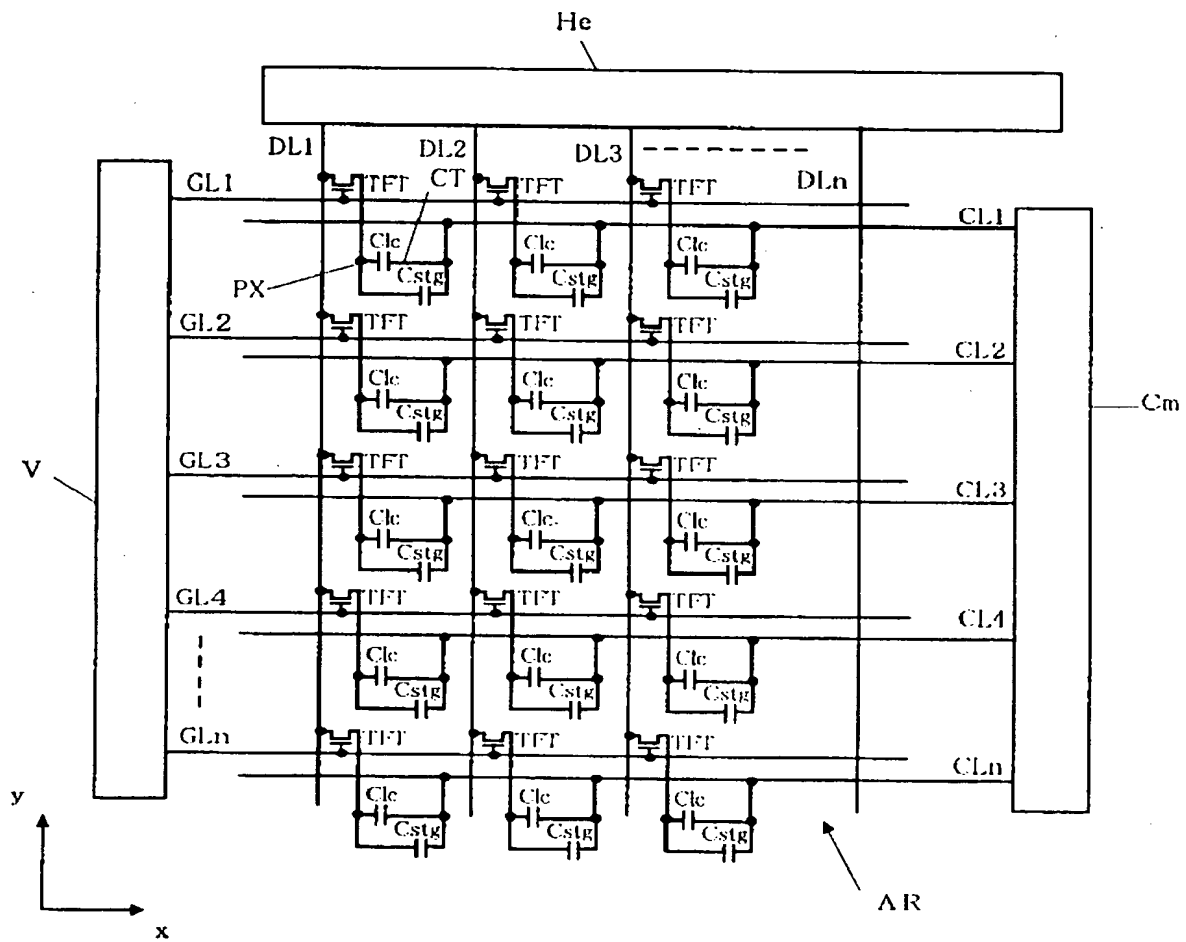
SUB…透明基板、AR…液晶表示部、GL…ゲート信号線、DL…ドレイン信号線、CL…対向電圧信号線、V…走査信号駆動回路、He…映像信号駆動回路、Cm…共通電極駆動回路、PX…画素電極、CT…対向電極、Cstg…容量素子、TFT…薄膜トランジスタ、SW1、SW2…スイッチング回路、GD…ゲートドライバ、DD…ドレインドライバ、CD…コモンドライバ、INS…第1絶縁膜、GI…第2絶縁膜、PAS…第3絶縁膜、TH…スルーホール、BM…ブラックマトリクス、BSD…双方向性ダイオード、FVL…フローティング電圧線、EAD…初期配向方向、PAE…画素の区分された領域。

【書類名】

図面

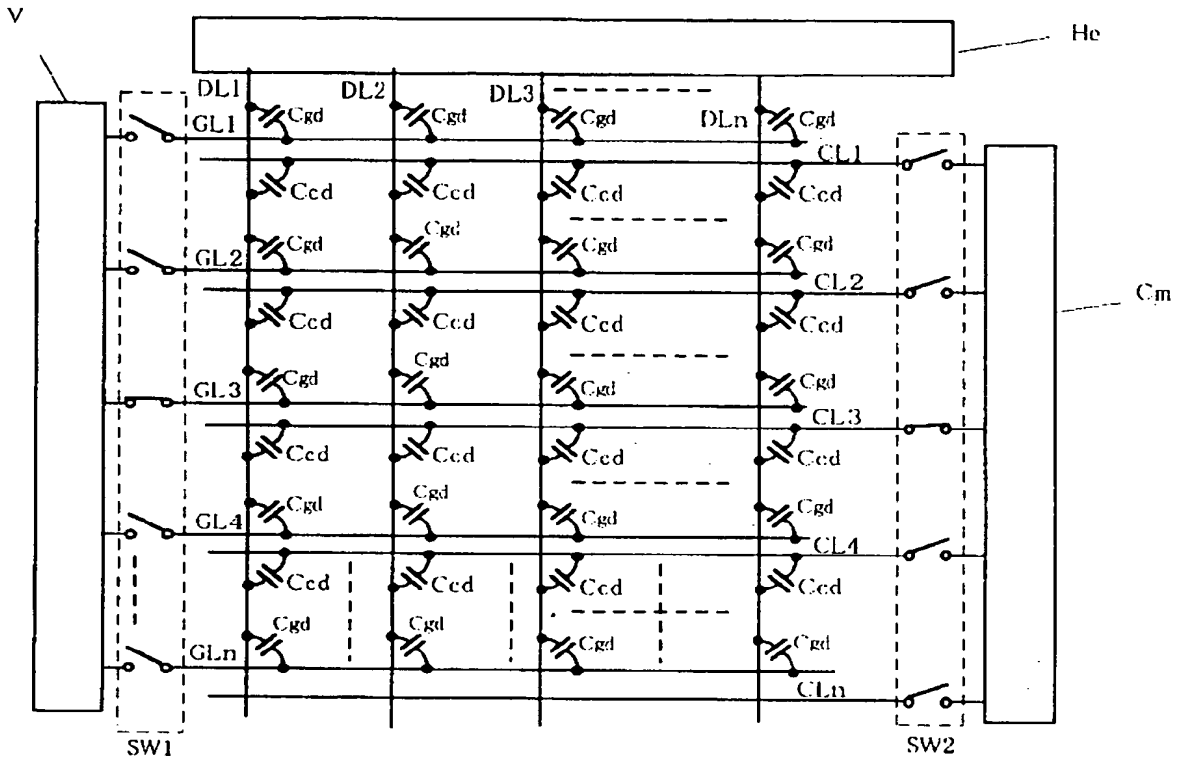
【図 1】

図 1



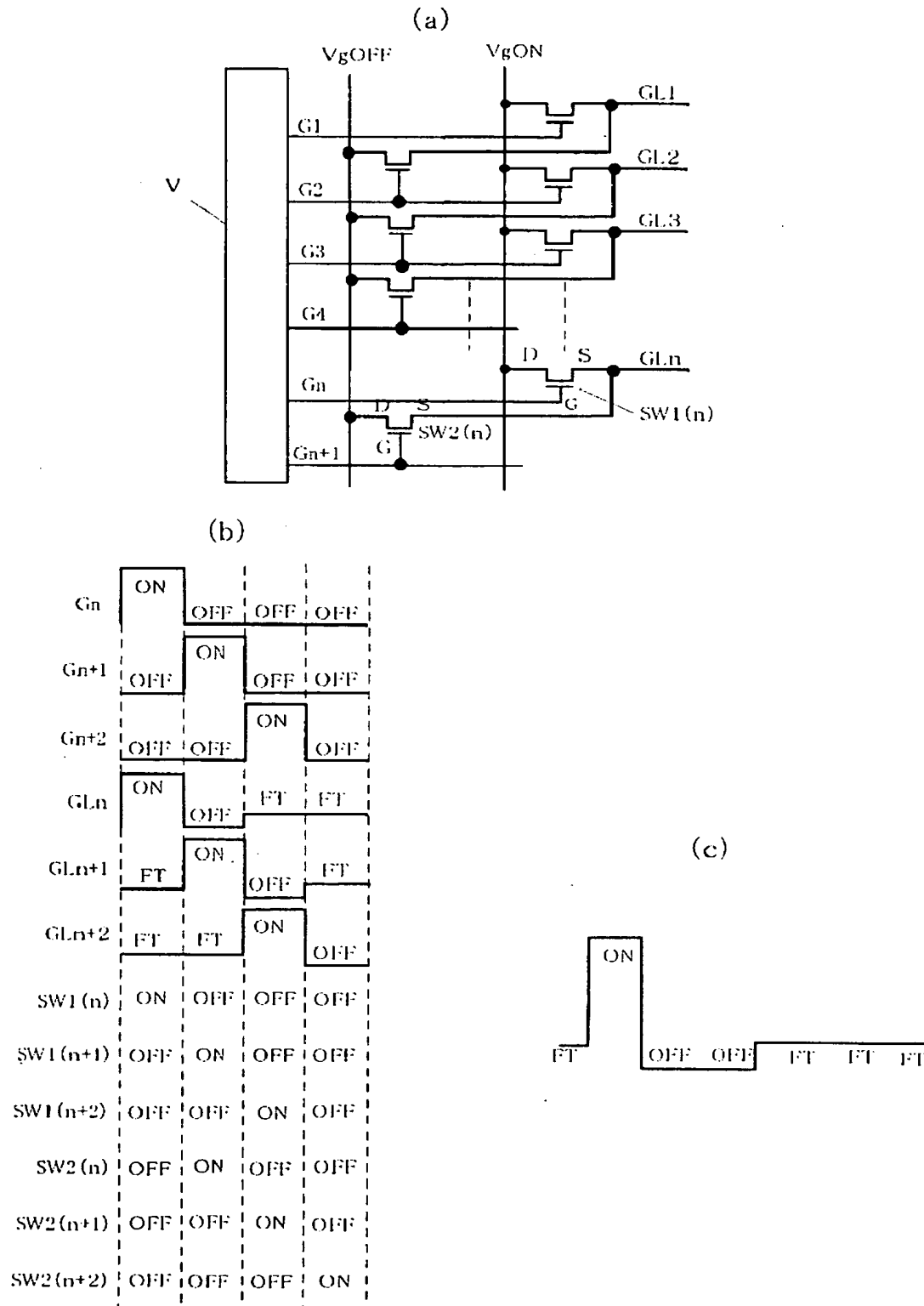
【図 2】

図 2



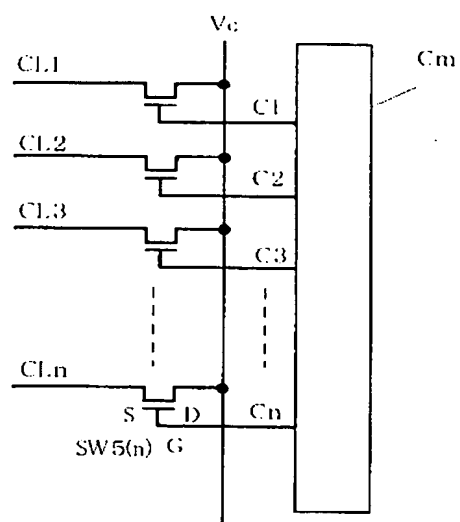
【図 3】

图 3



【図 4】

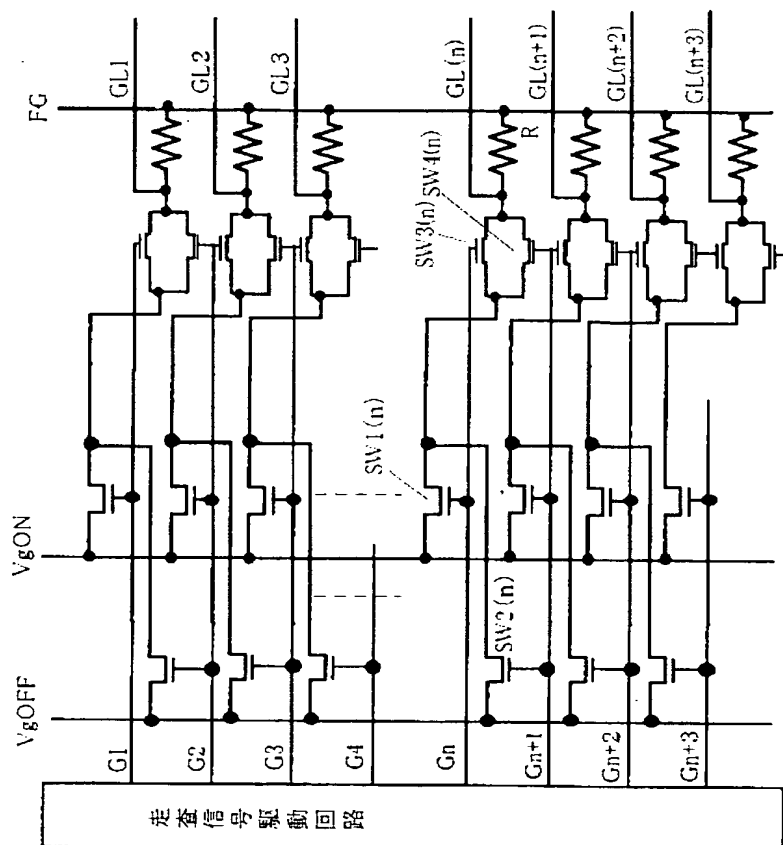
図 4



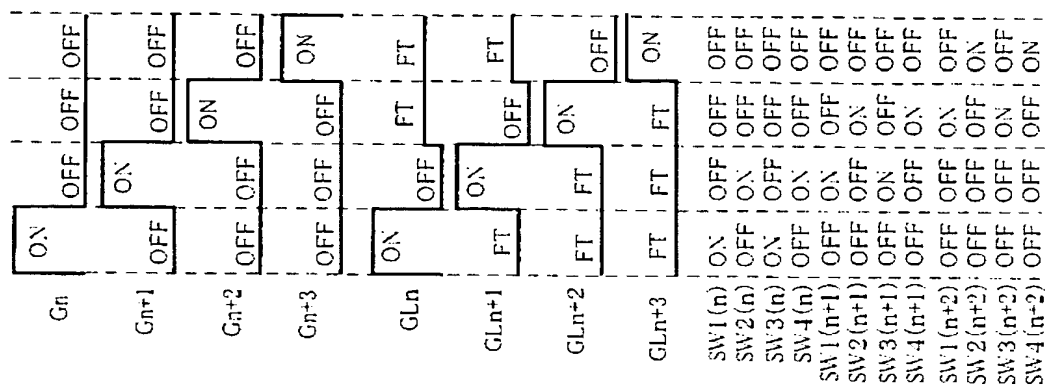
【図 5】

図 5

(a)

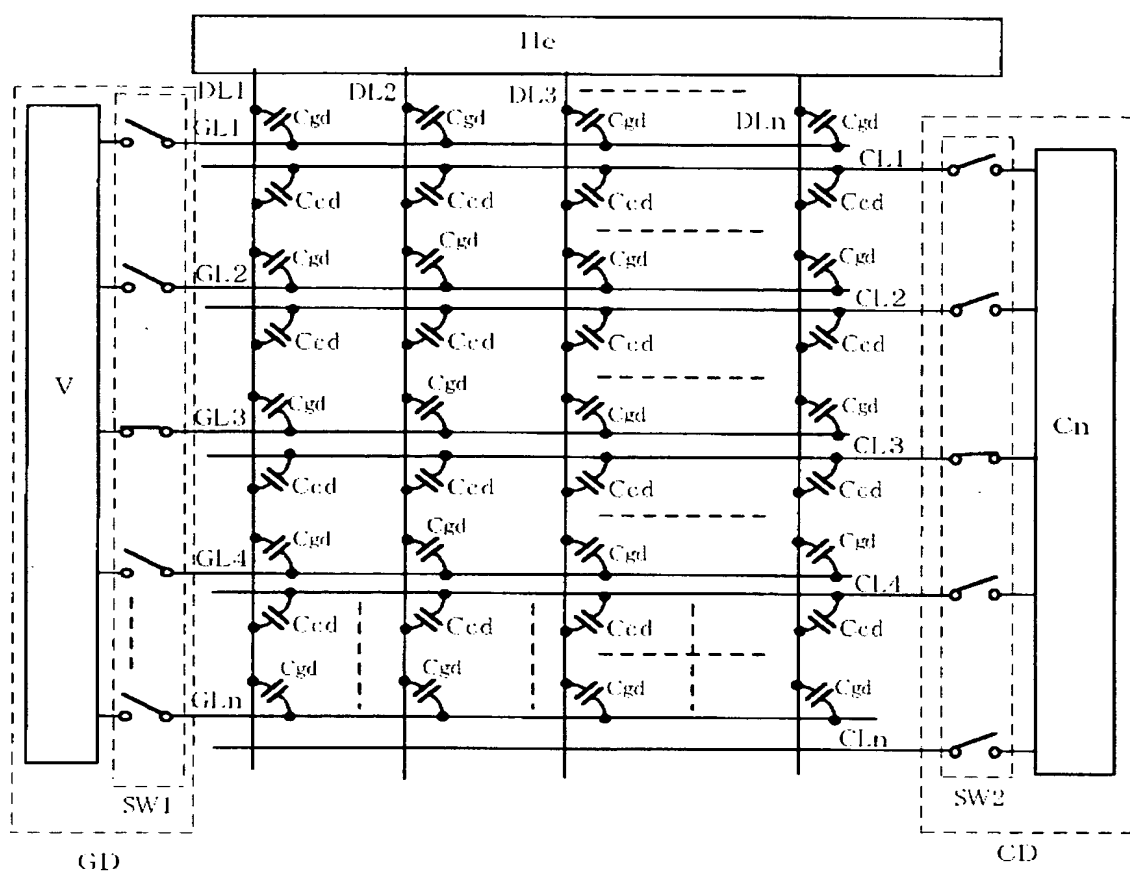


(b)



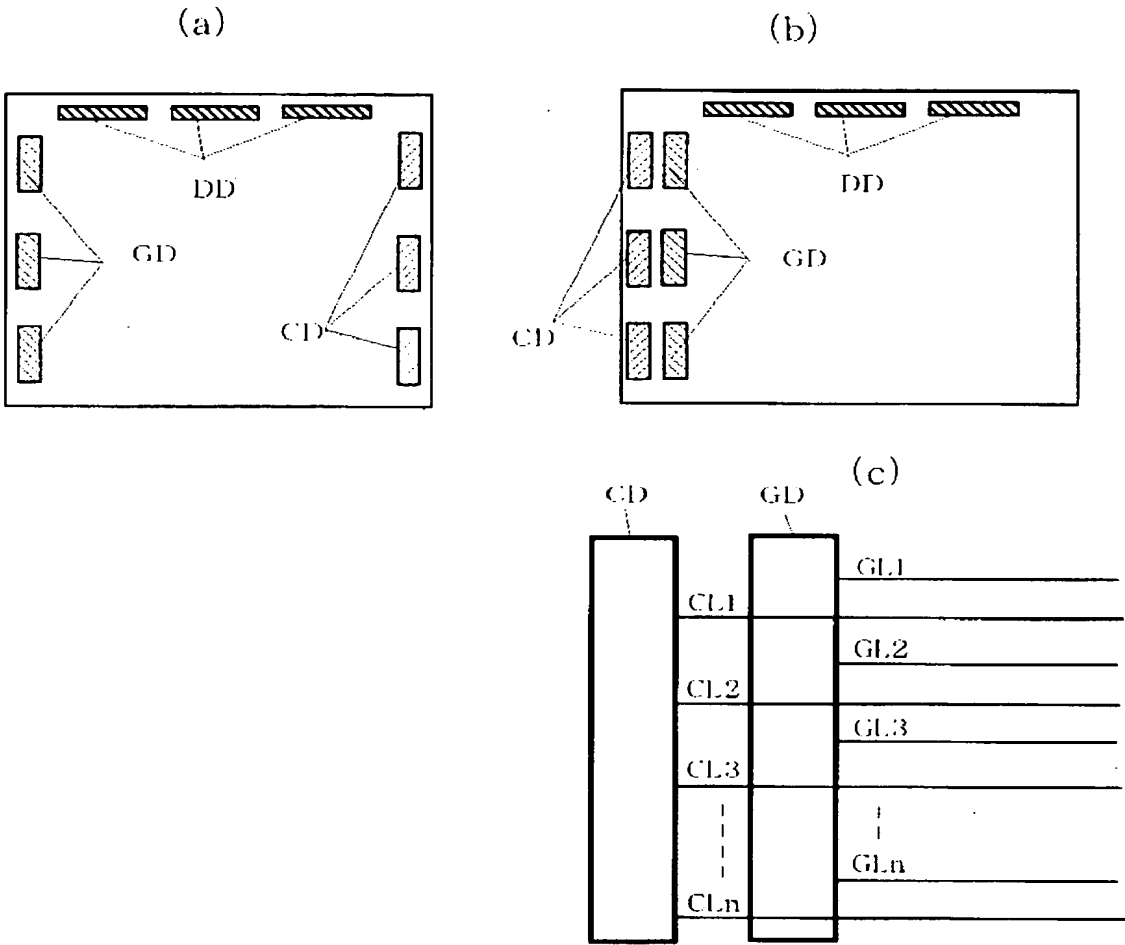
【図 6】

図6



【図 7】

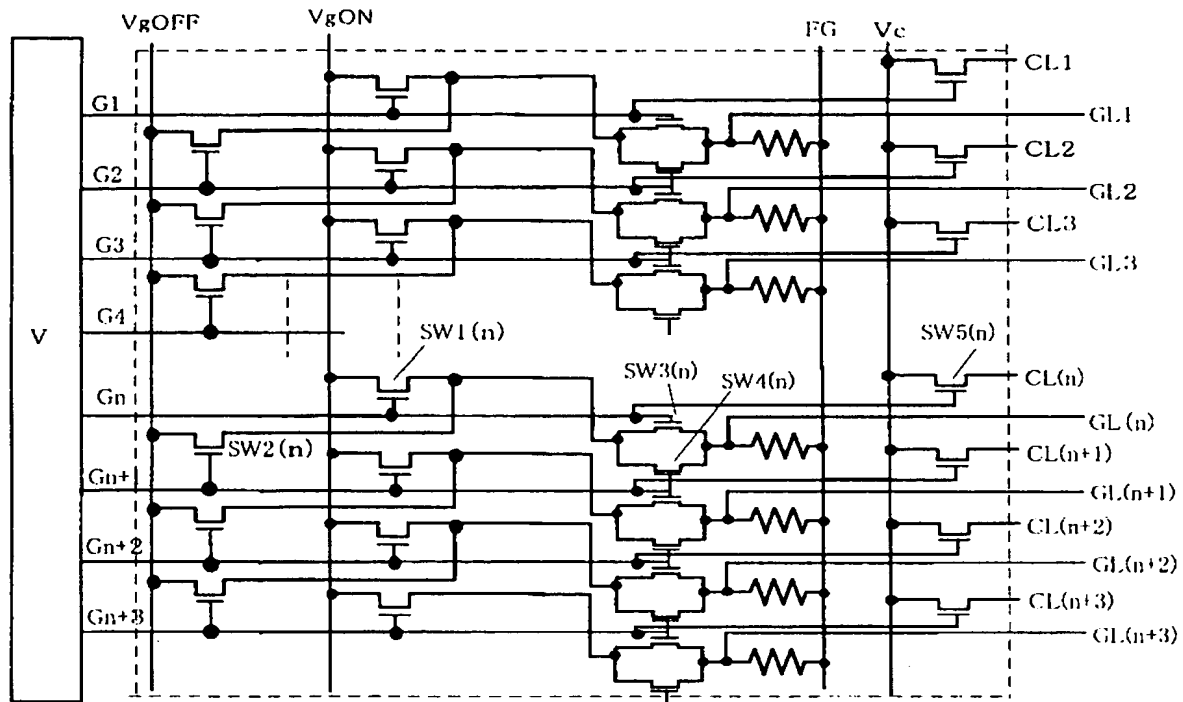
図 7



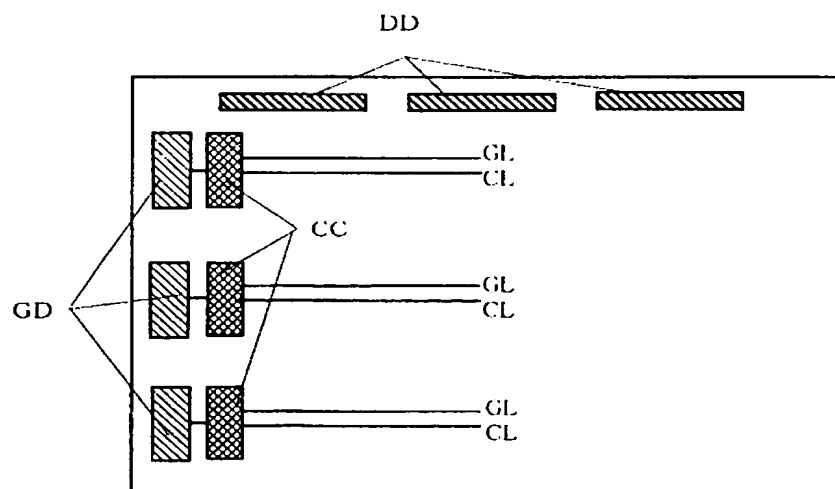
【図 8】

図 8

(a)

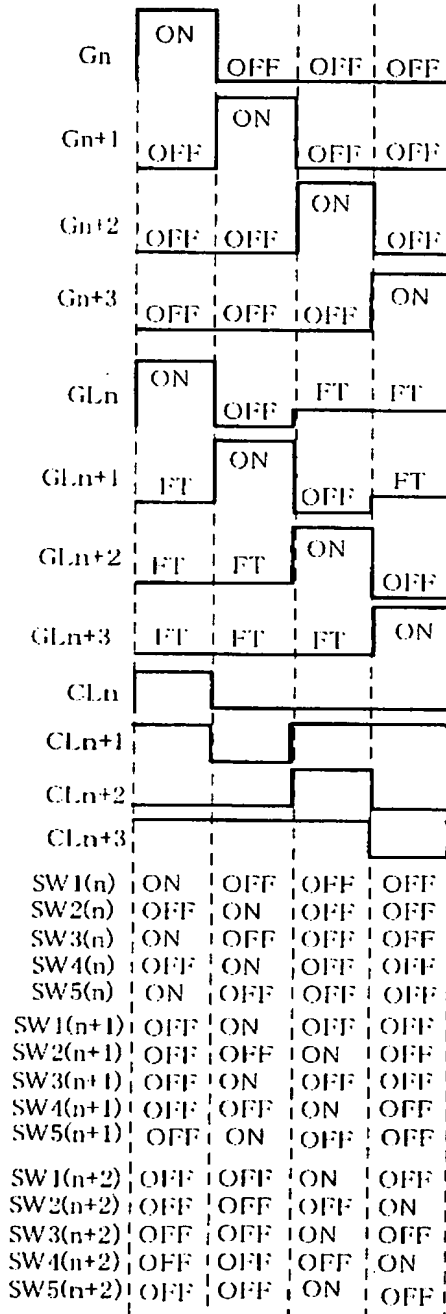


(b)



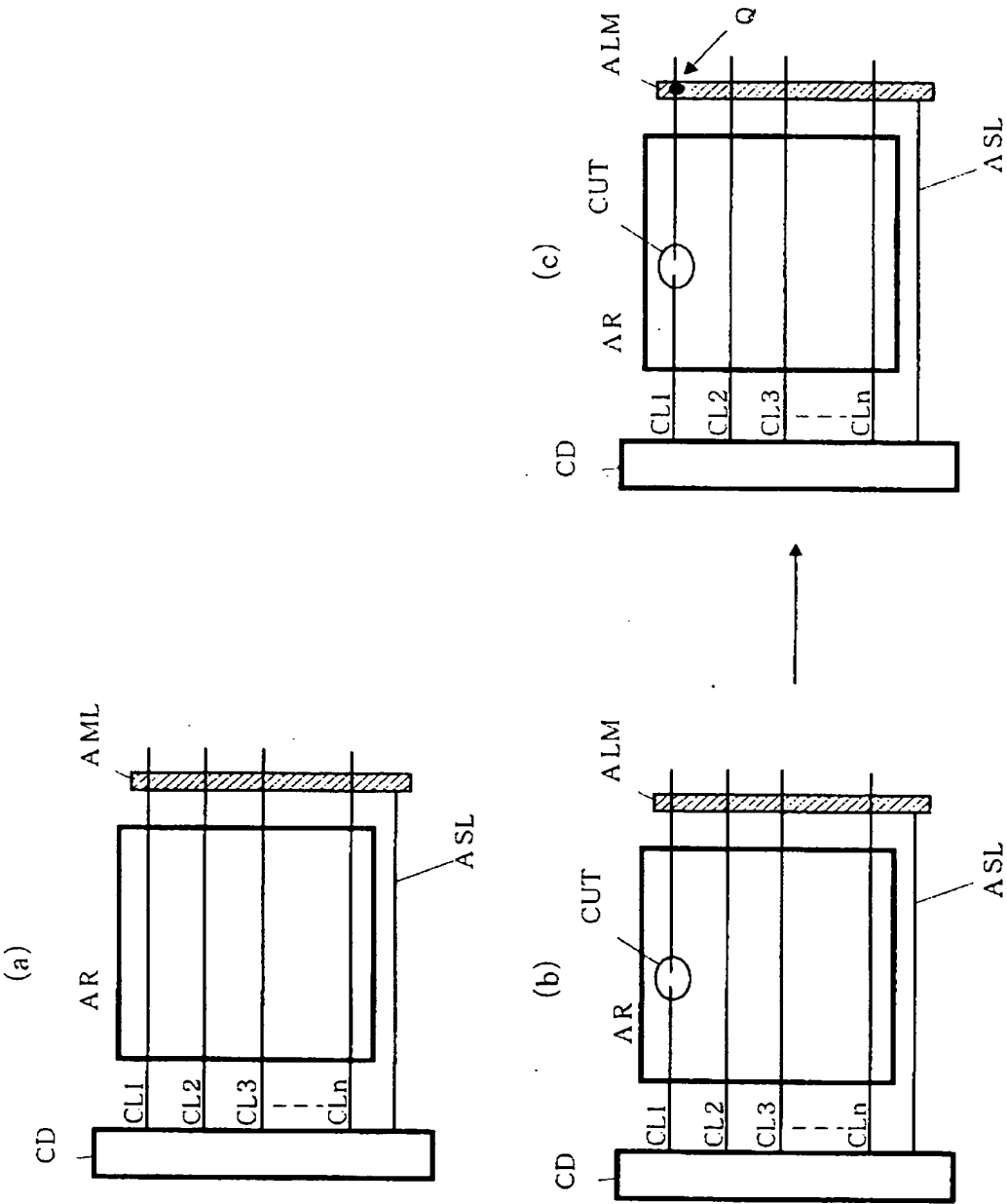
【図 9】

図 9



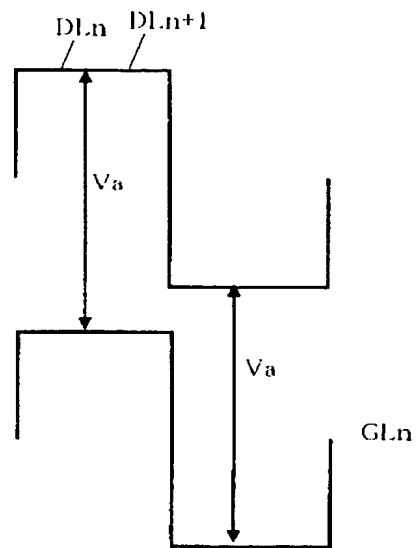
【図 10】

図 10



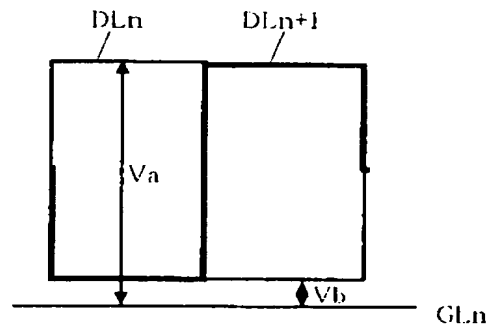
【図 11】

図 11



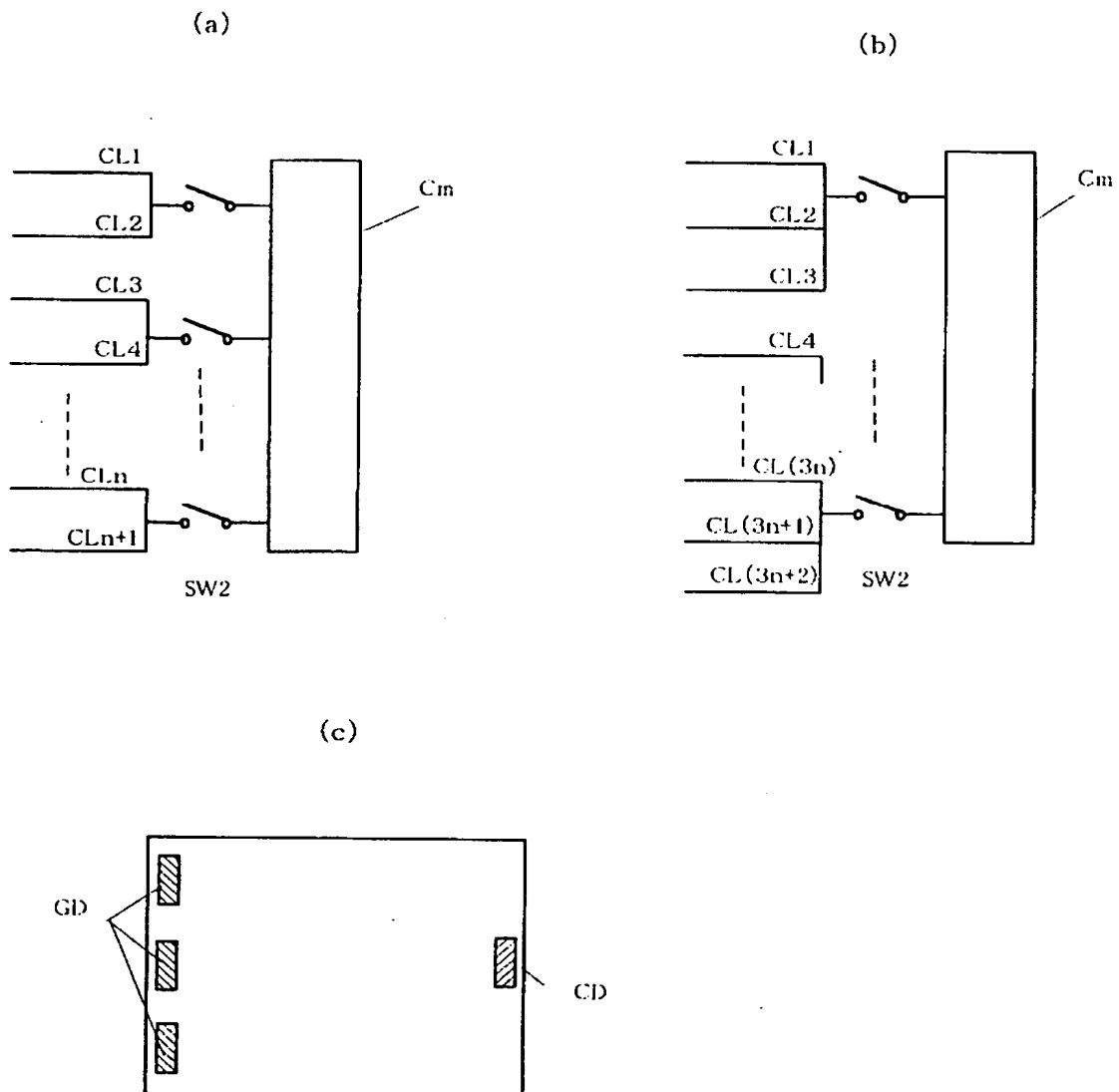
【図 12】

図 12



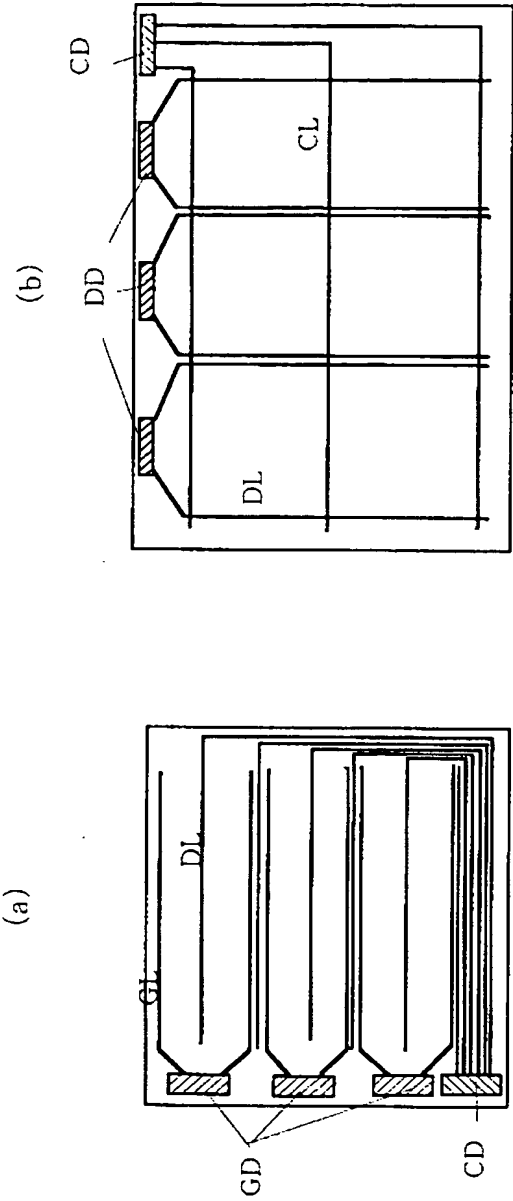
【図 13】

図13



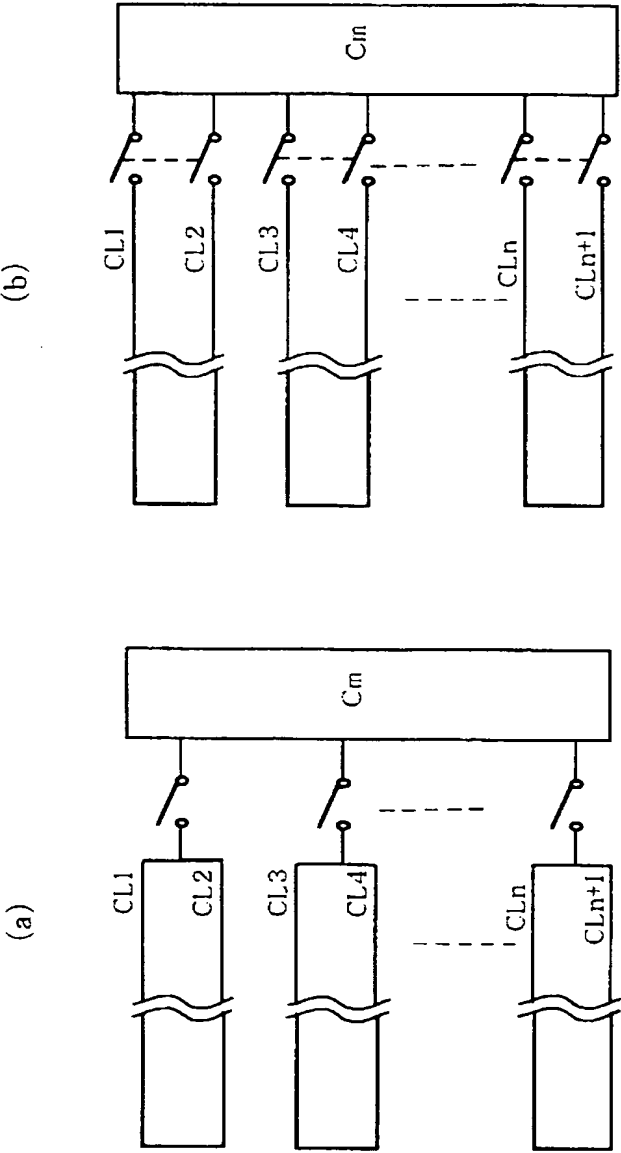
【図 14】

図 14



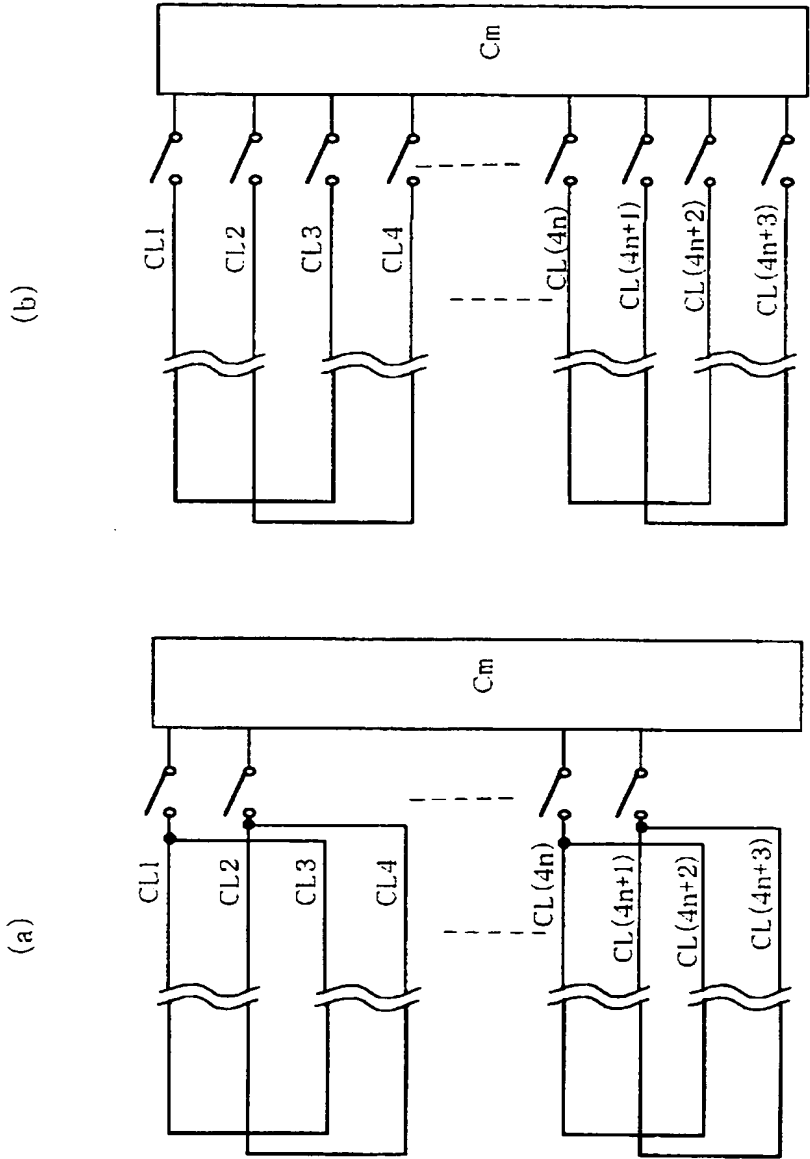
【図 15】

図 15



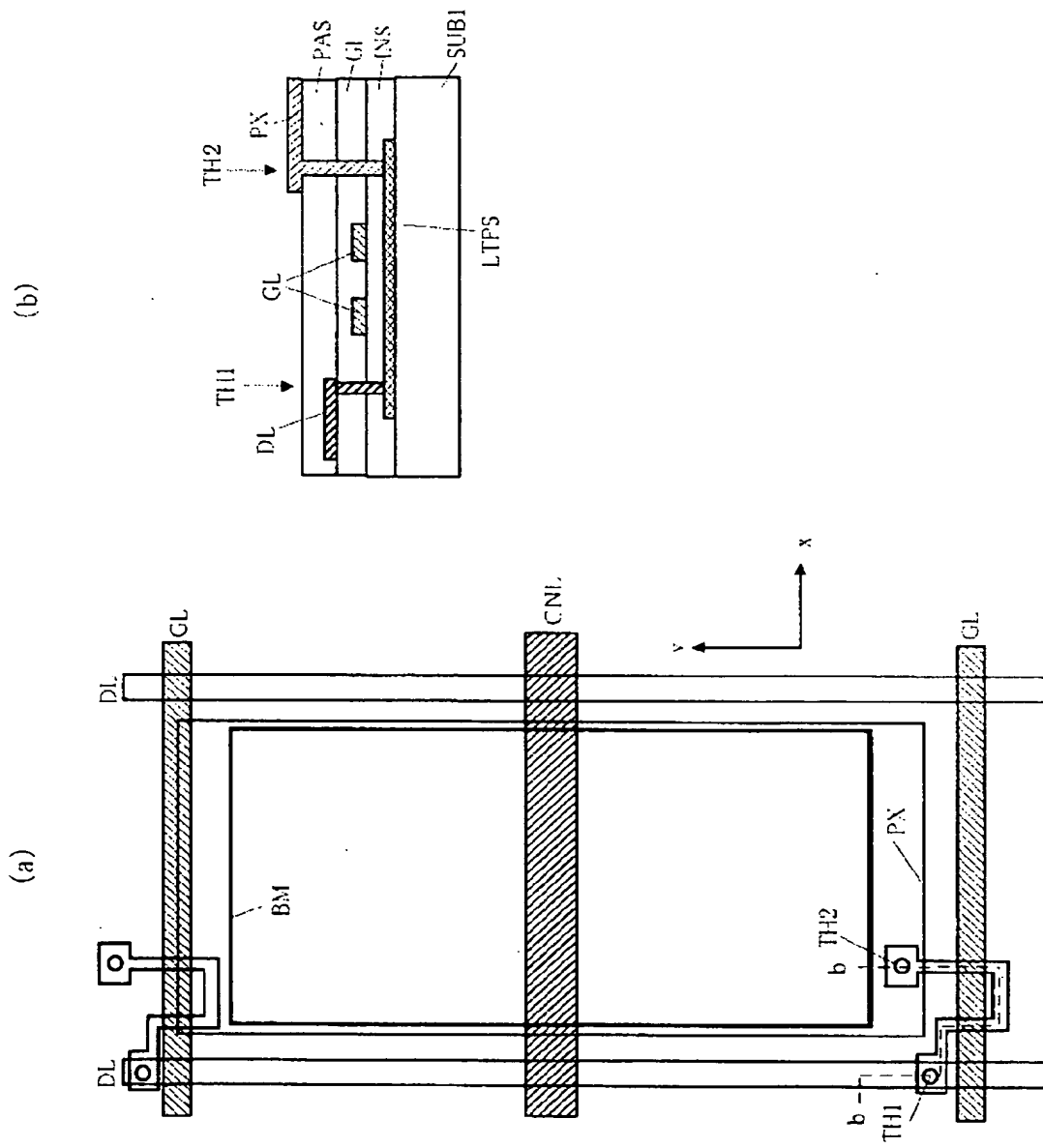
【図 16】

図 16



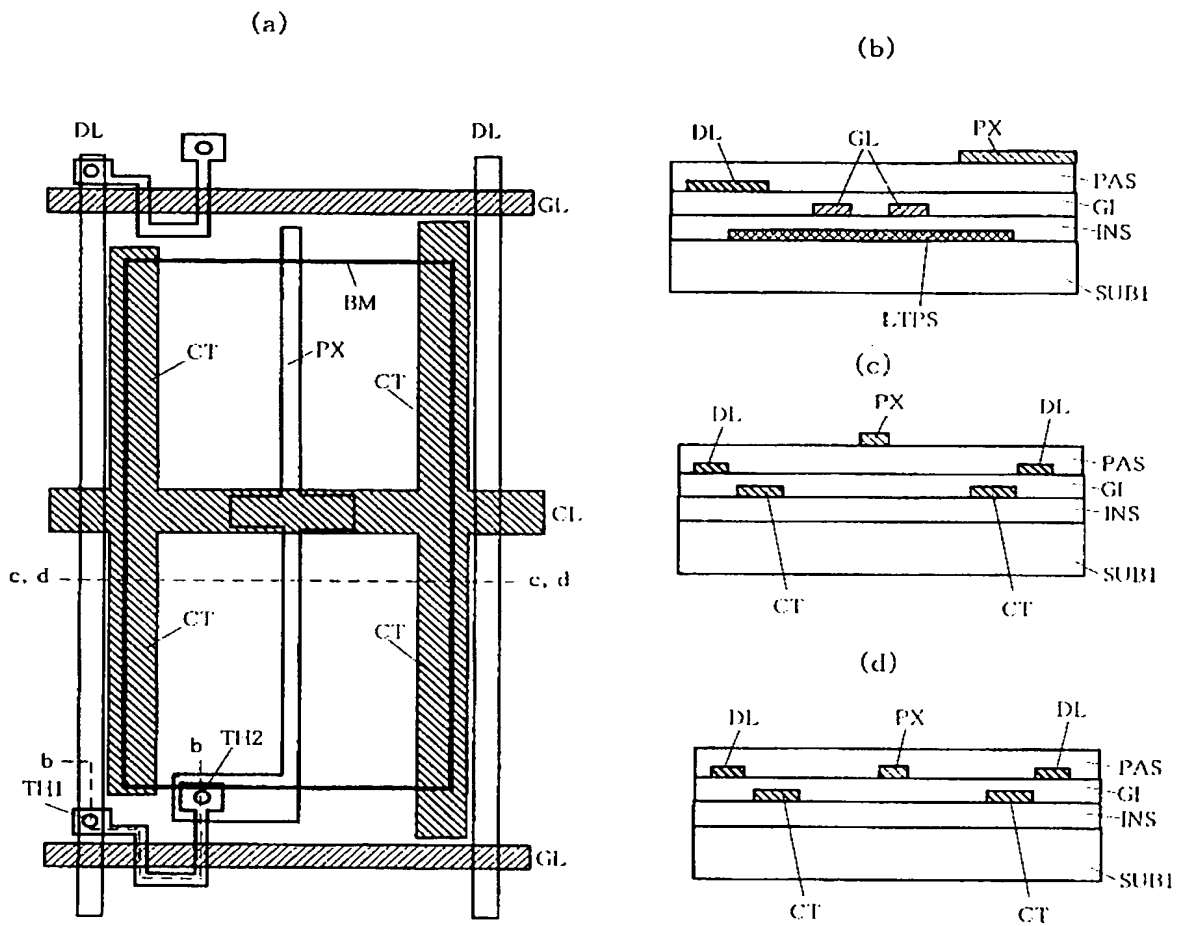
【図 17】

図 17



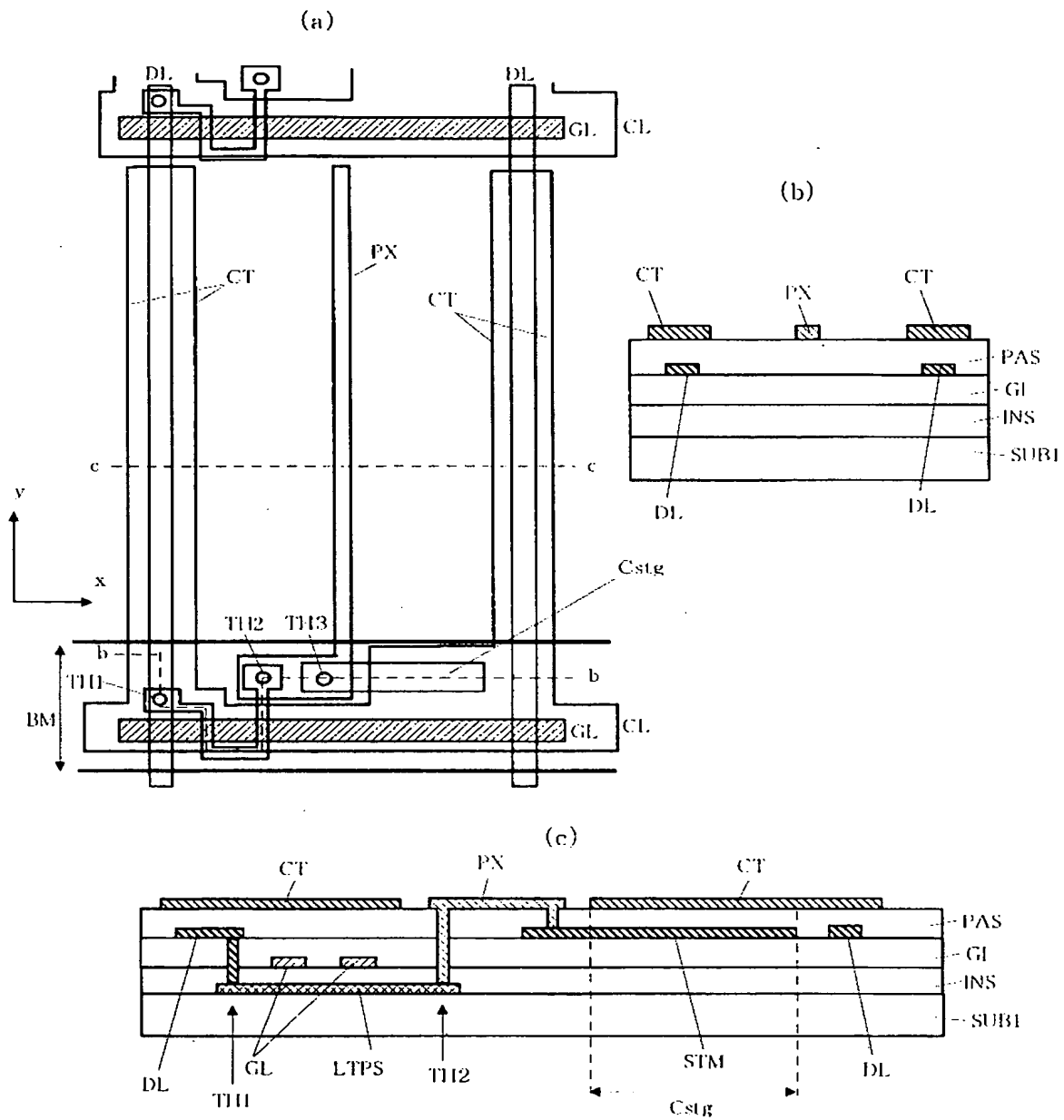
【図 18】

図 18

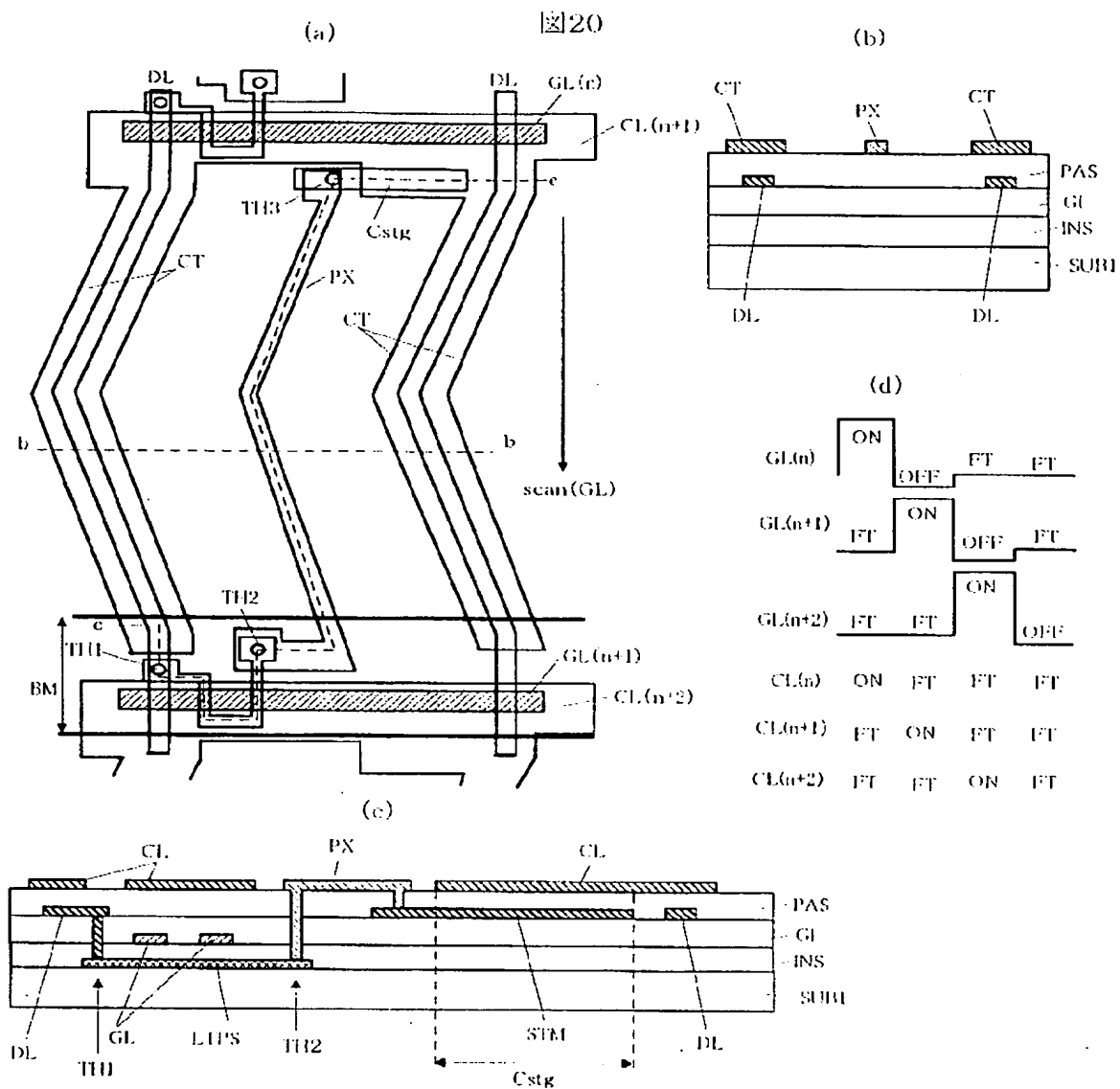


【図 19】

図19

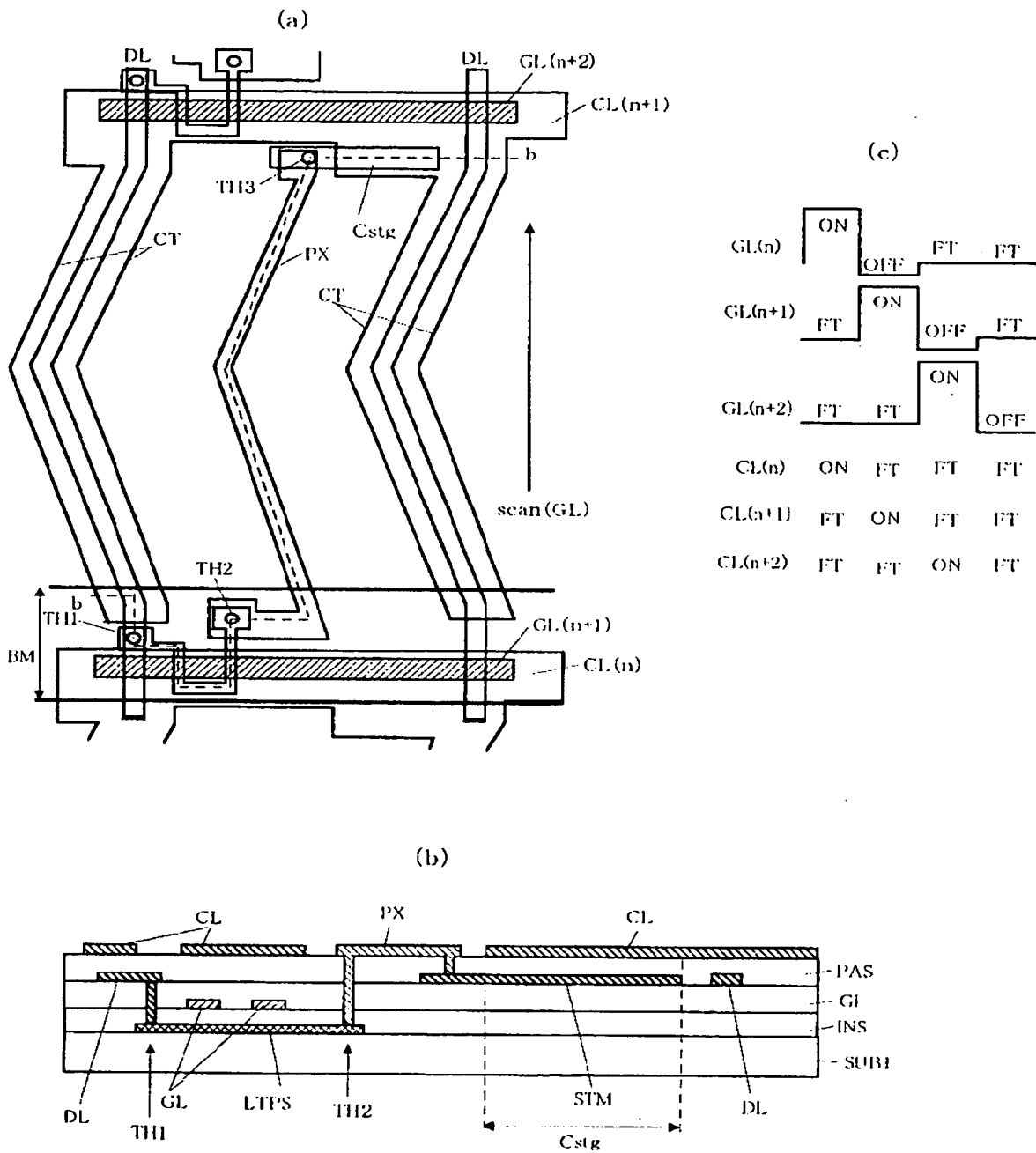


【図20】



【図 21】

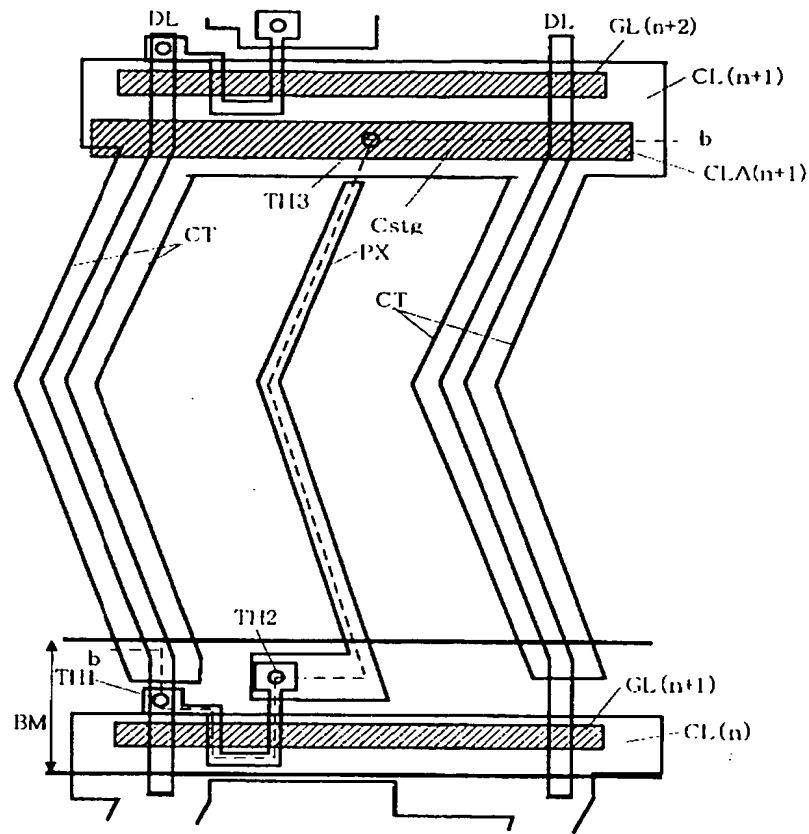
図 21



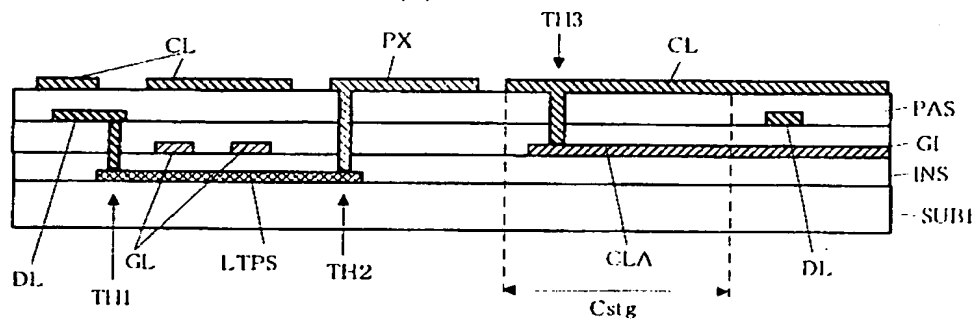
【図 22】

図 22

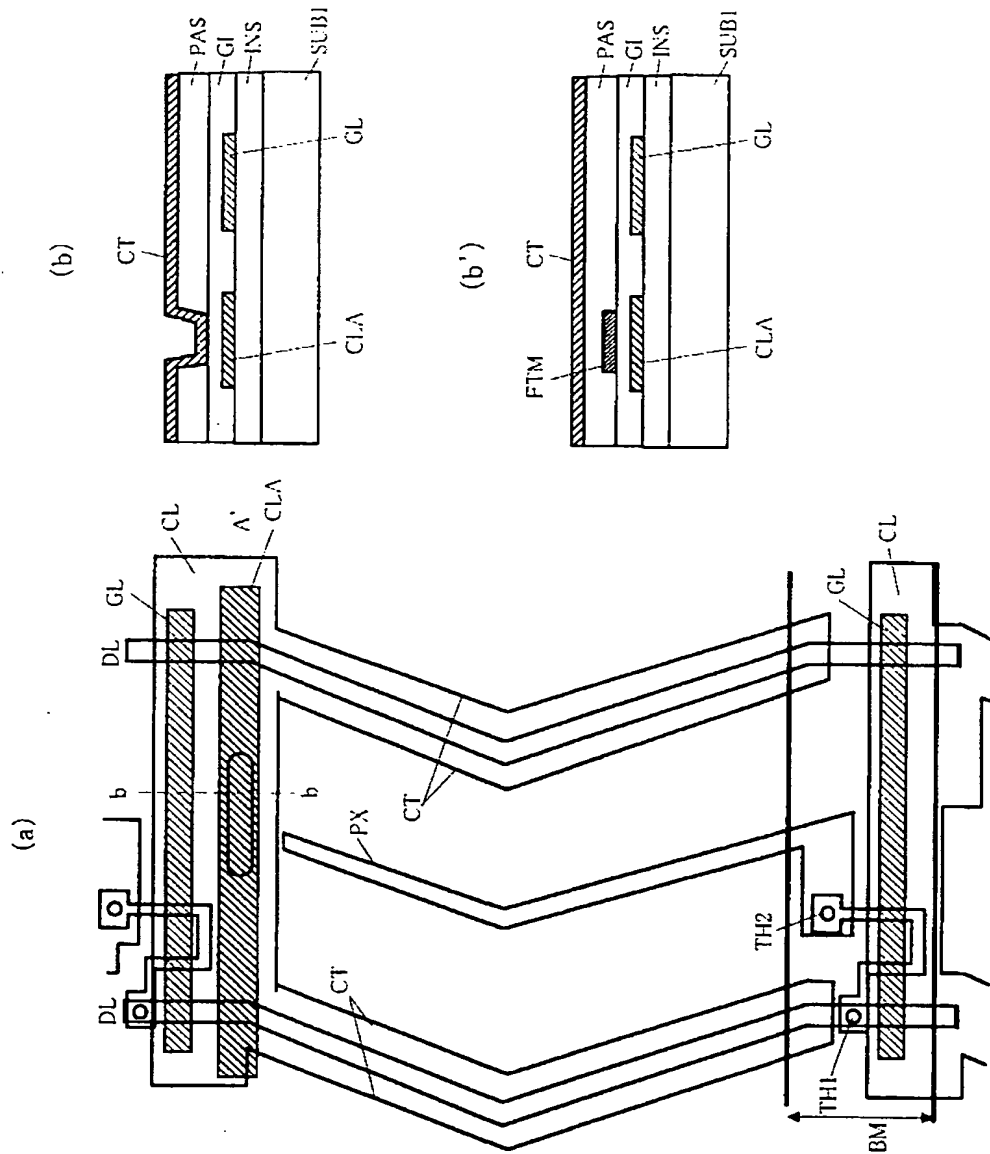
(a)



(b)

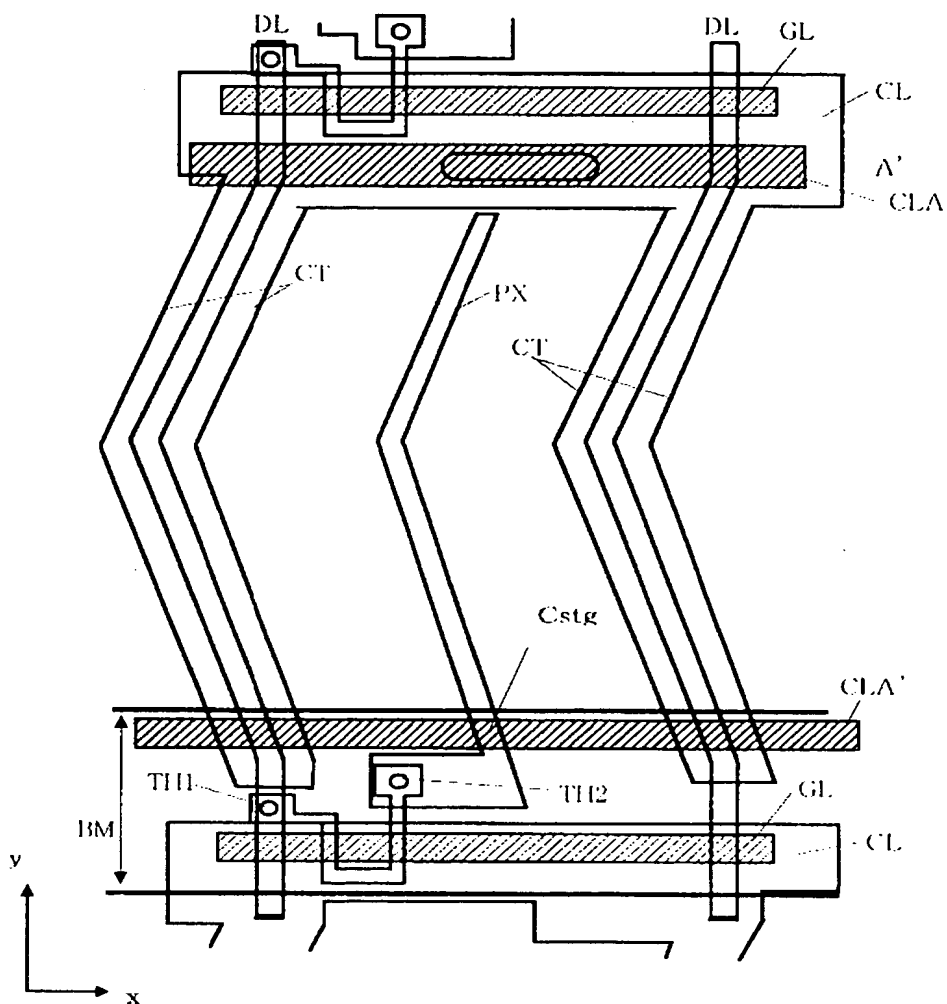


【図 23】

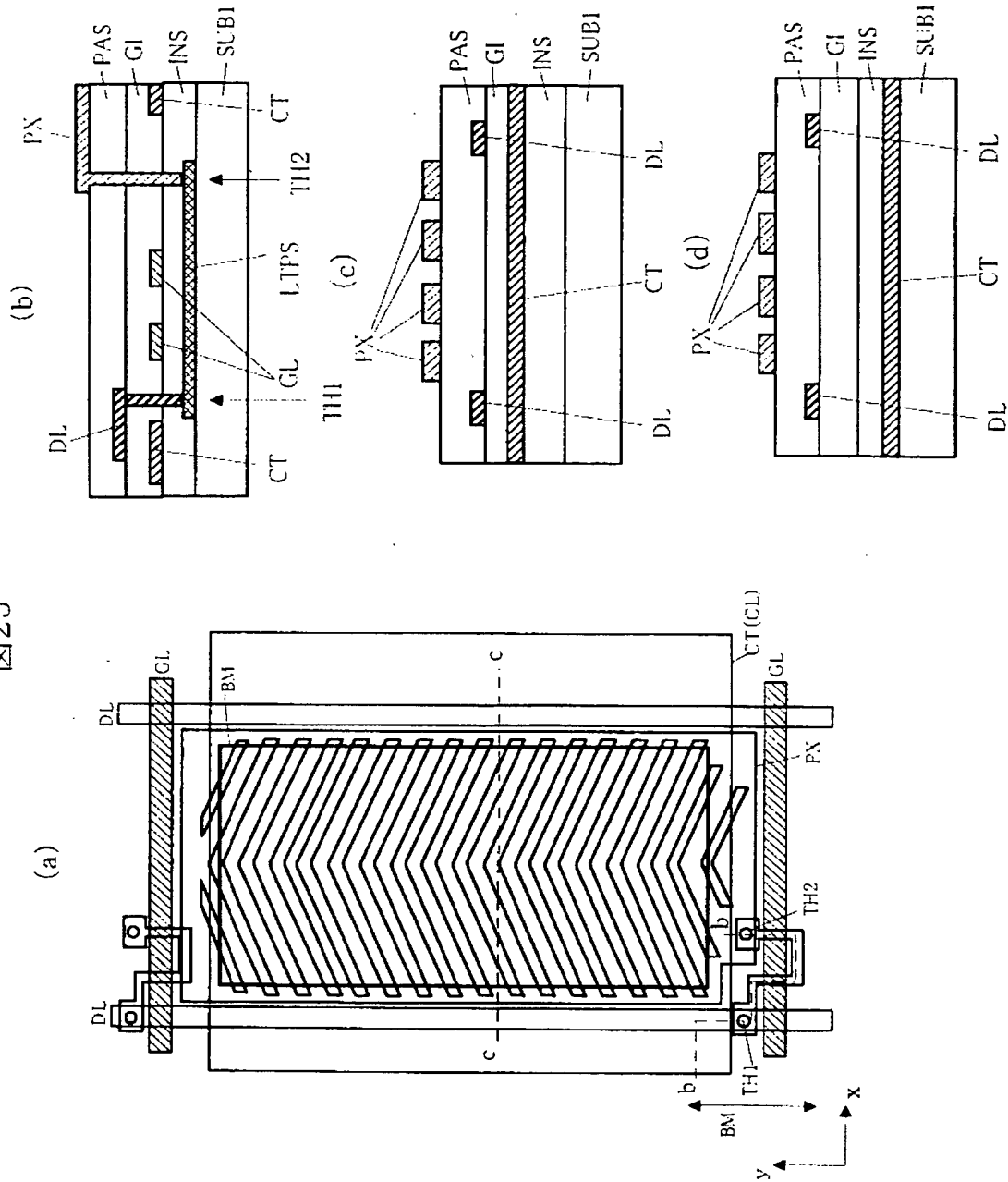


【図 24】

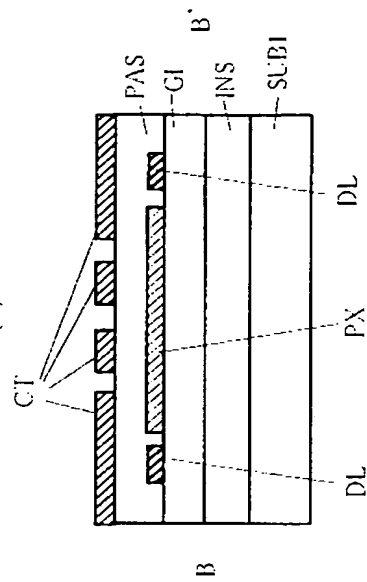
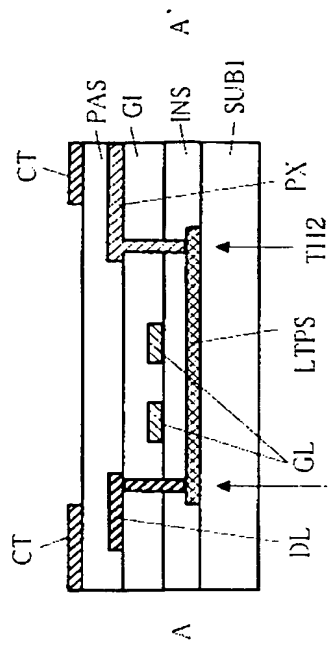
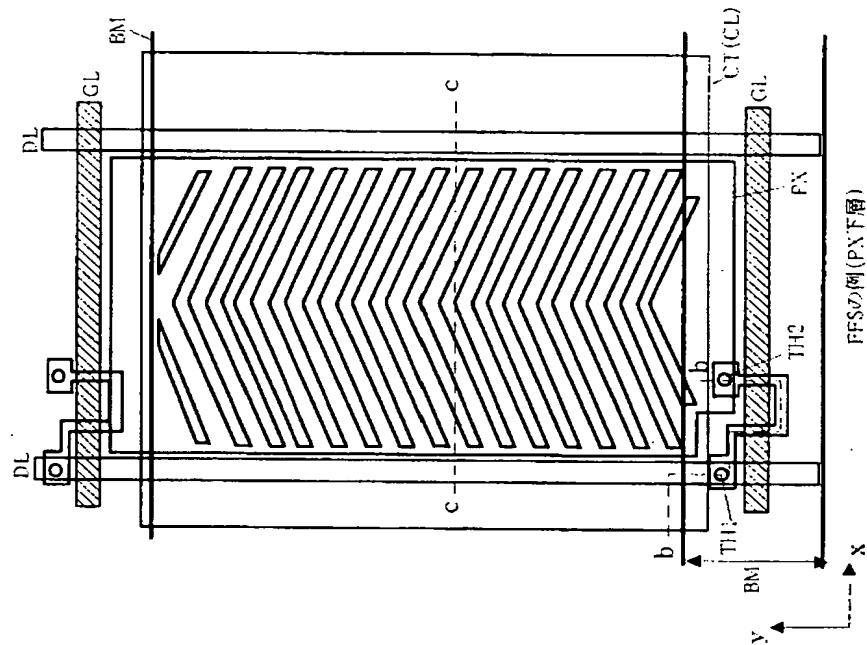
図 24



【図 25】

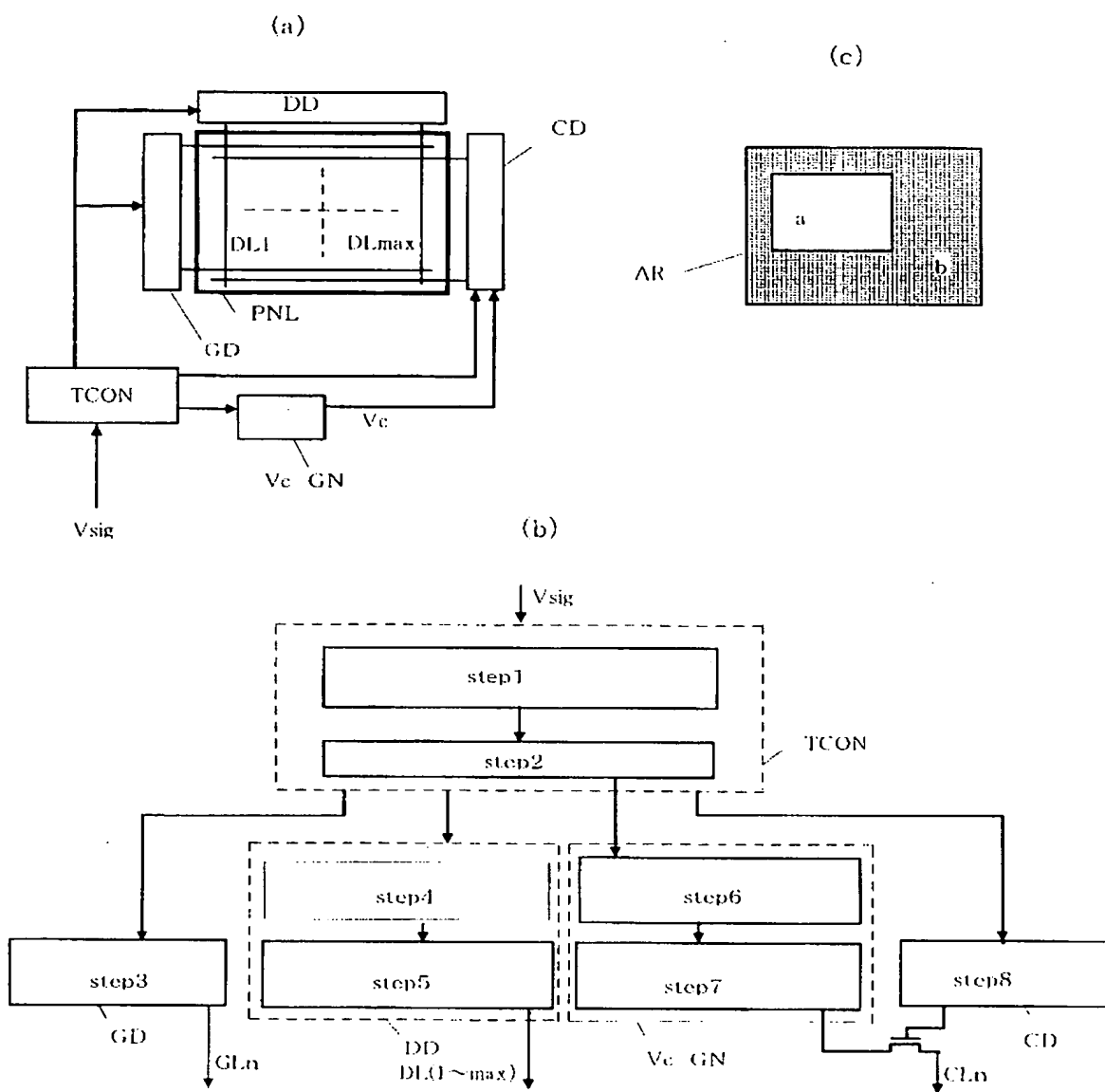


【図 26】



【図 28】

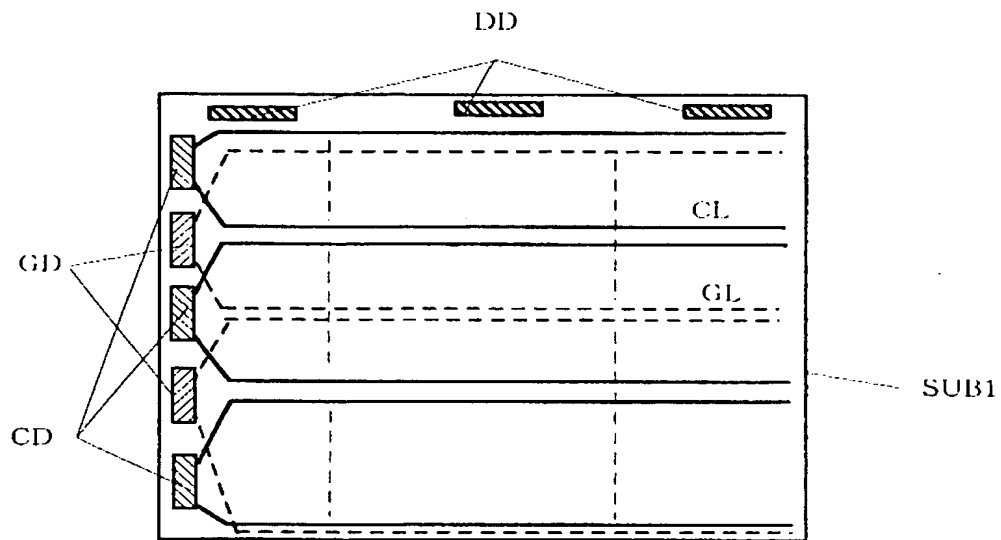
図28



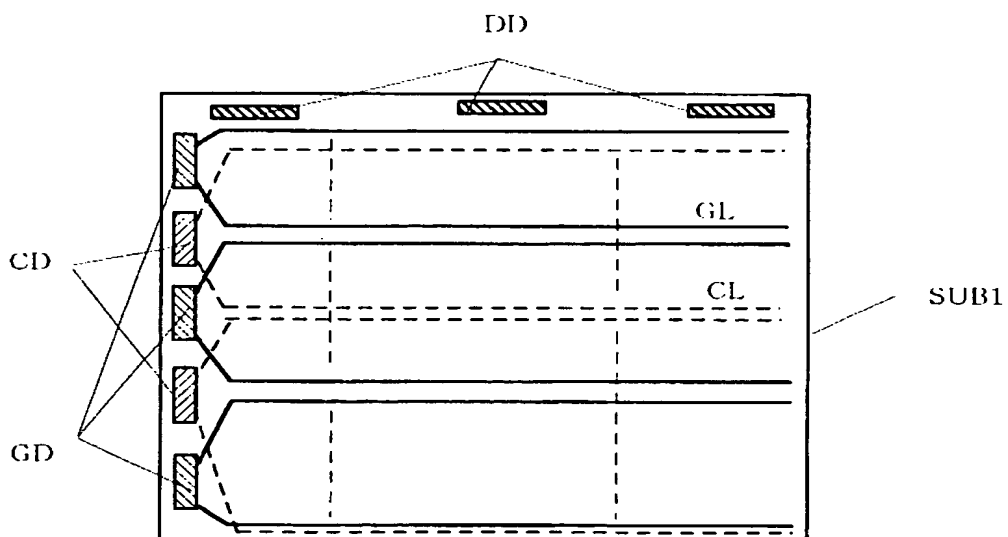
【図 29】

図 29

(a)

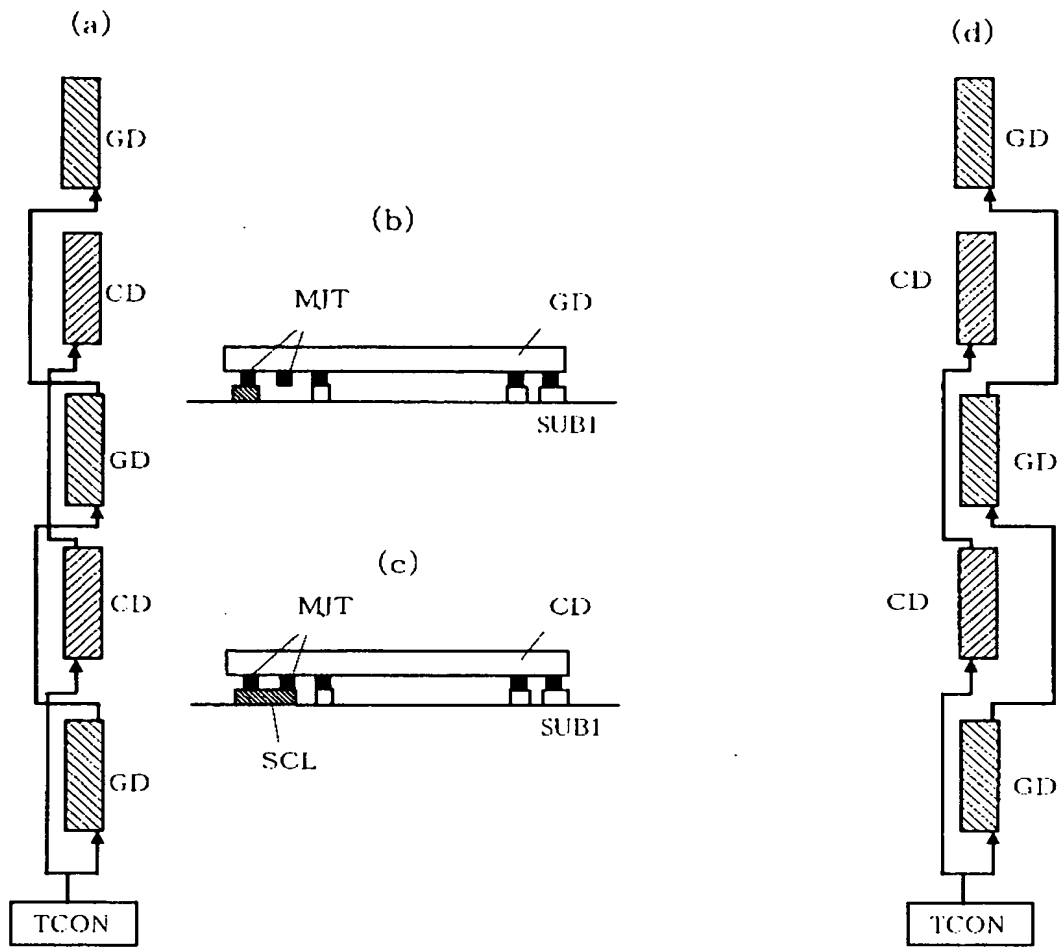


(b)



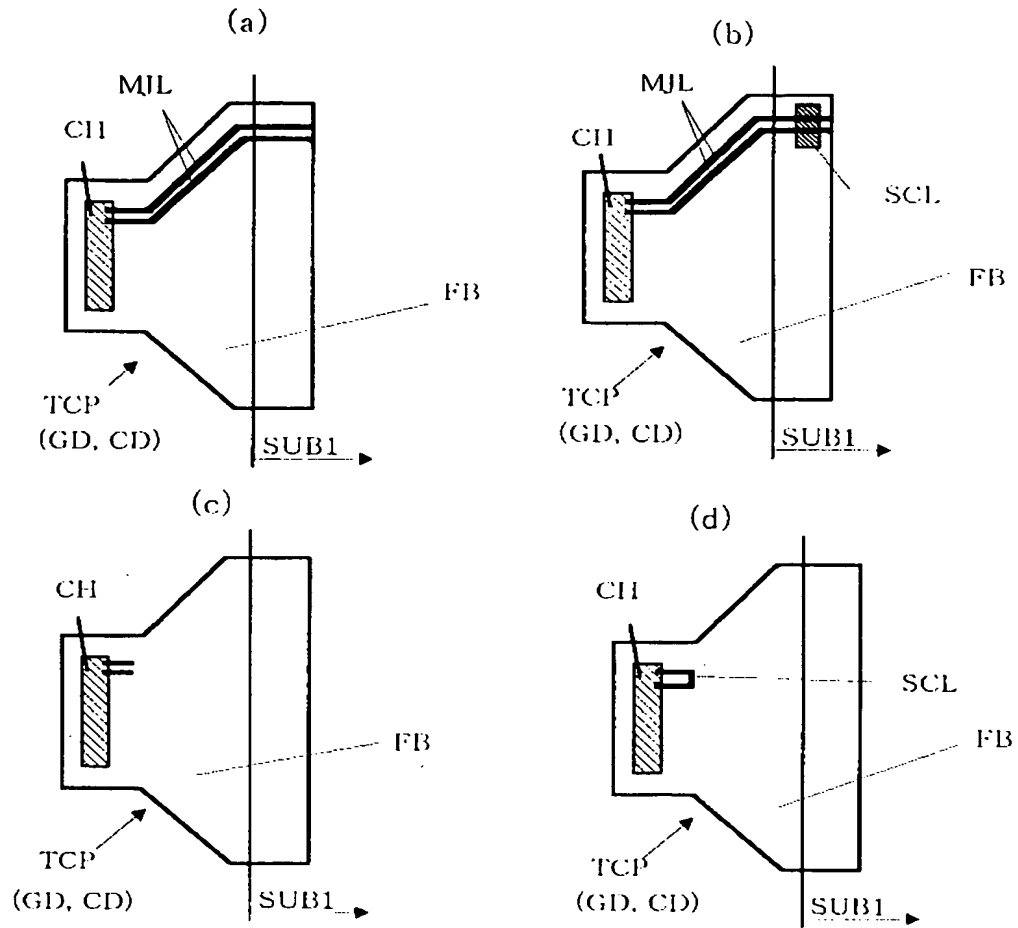
【図 30】

図30



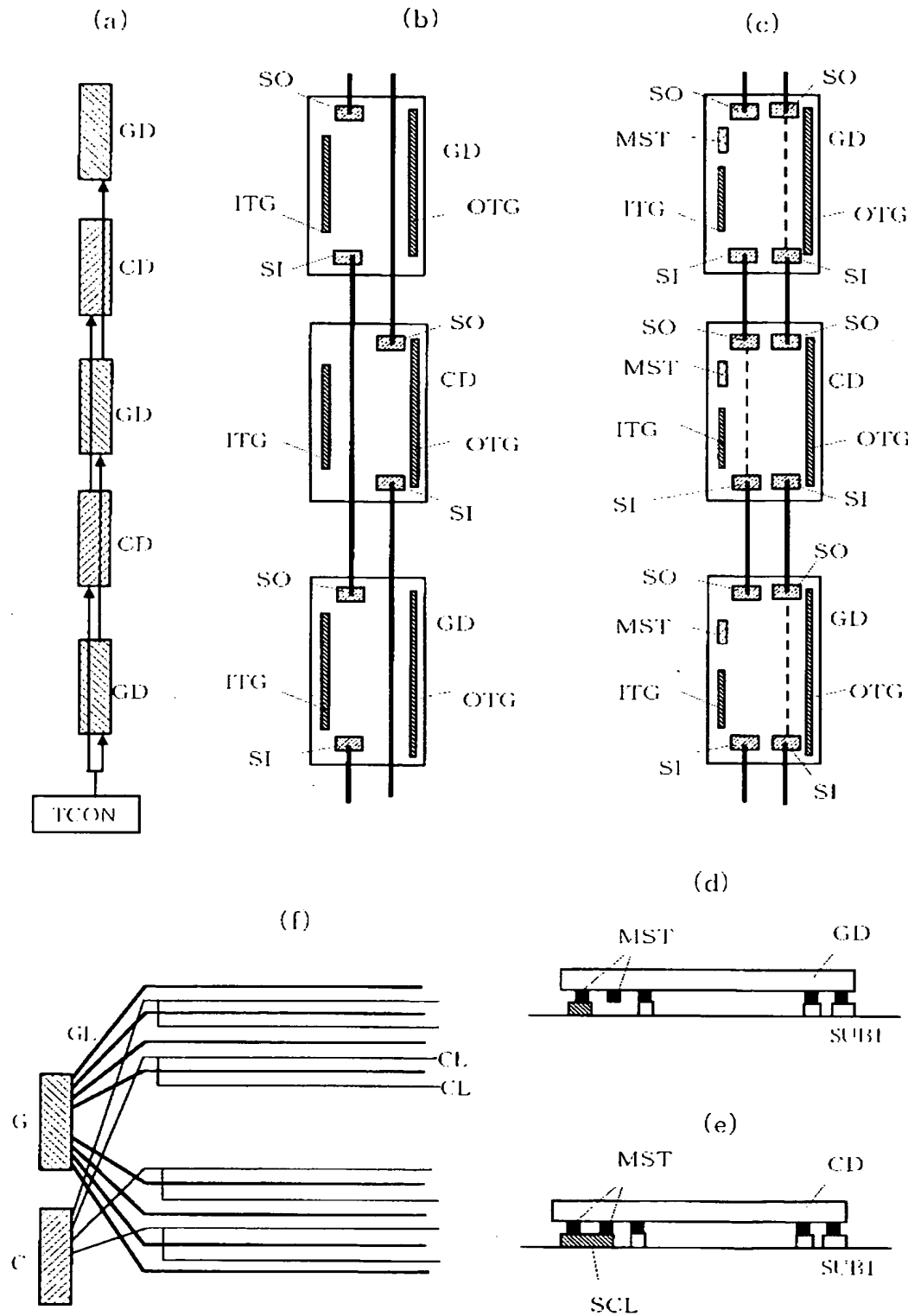
【図 31】

図 31



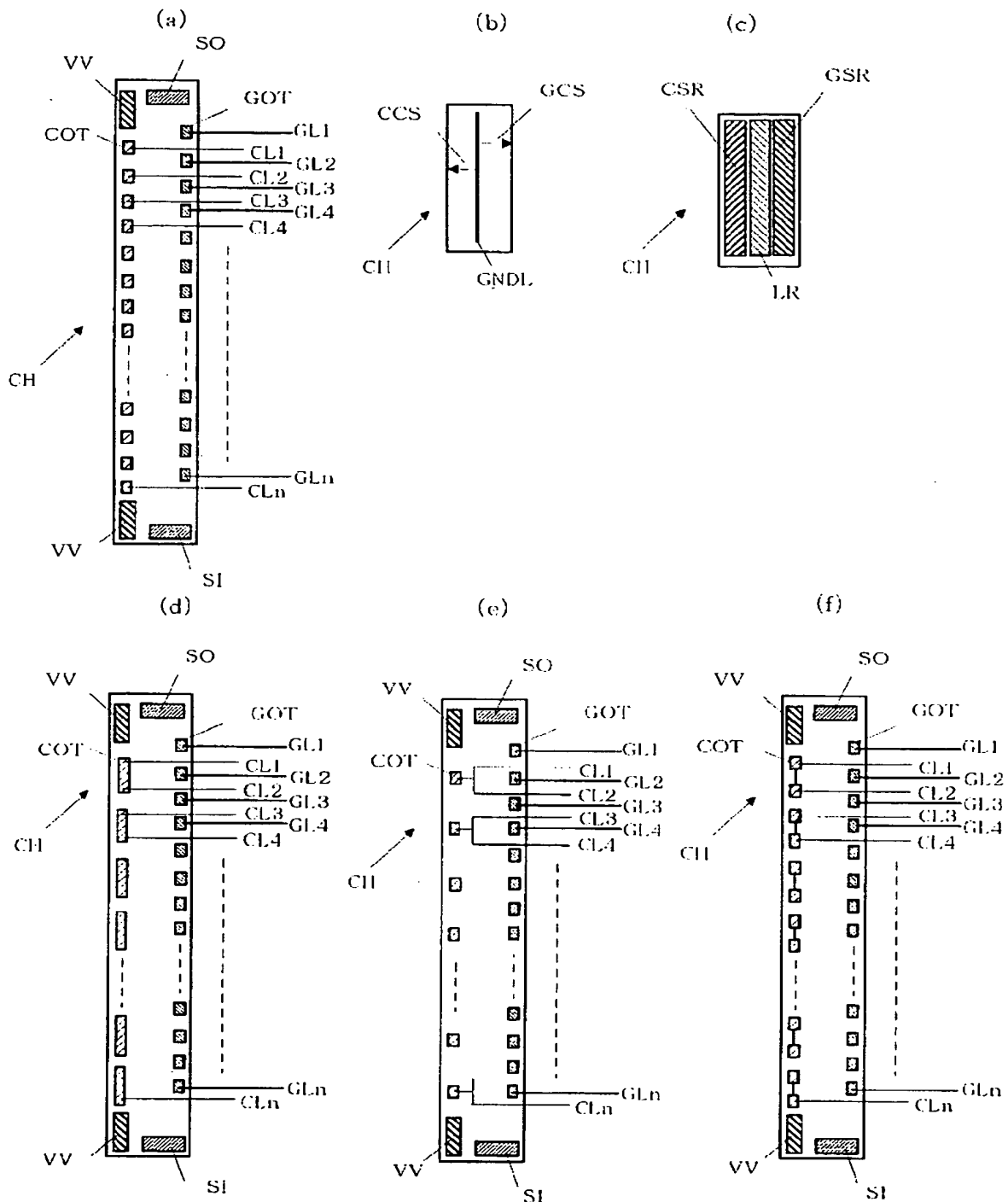
【図 32】

図 32



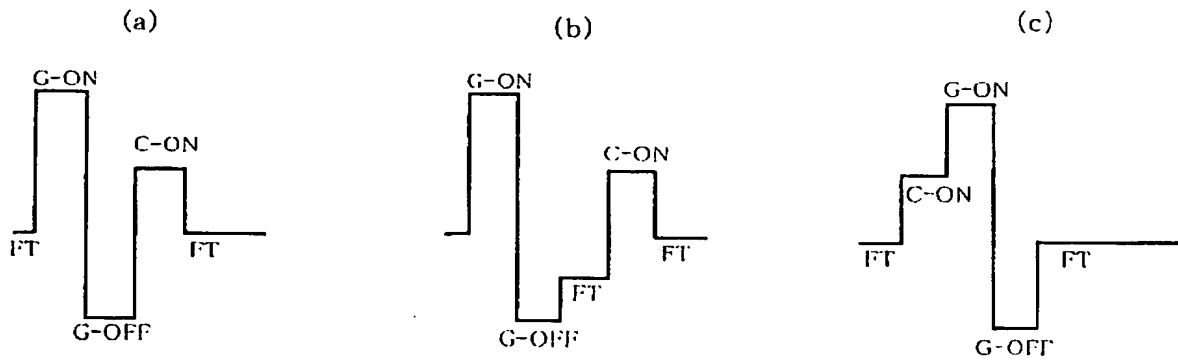
【図 33】

図 33



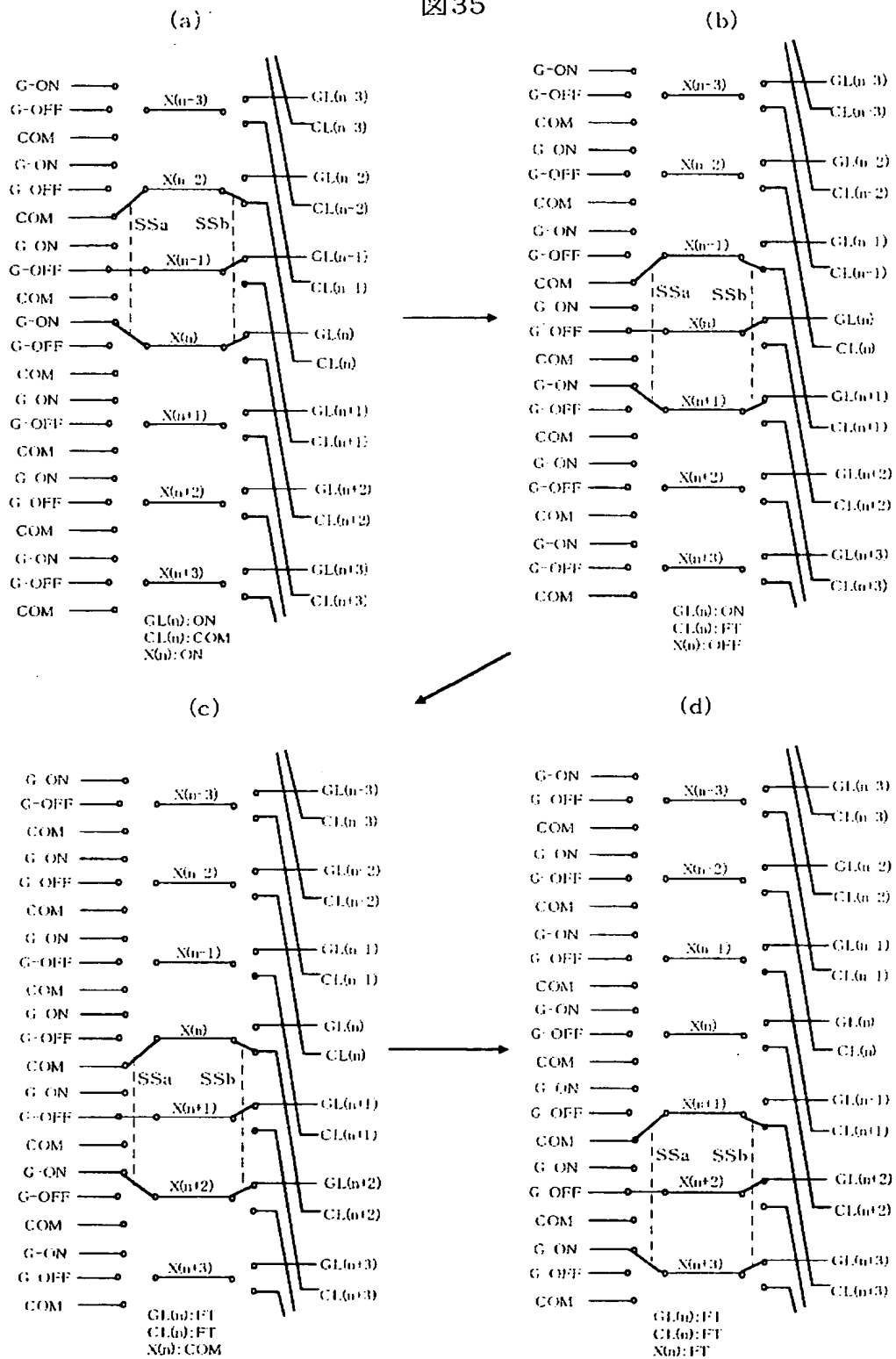
【図 34】

図 34



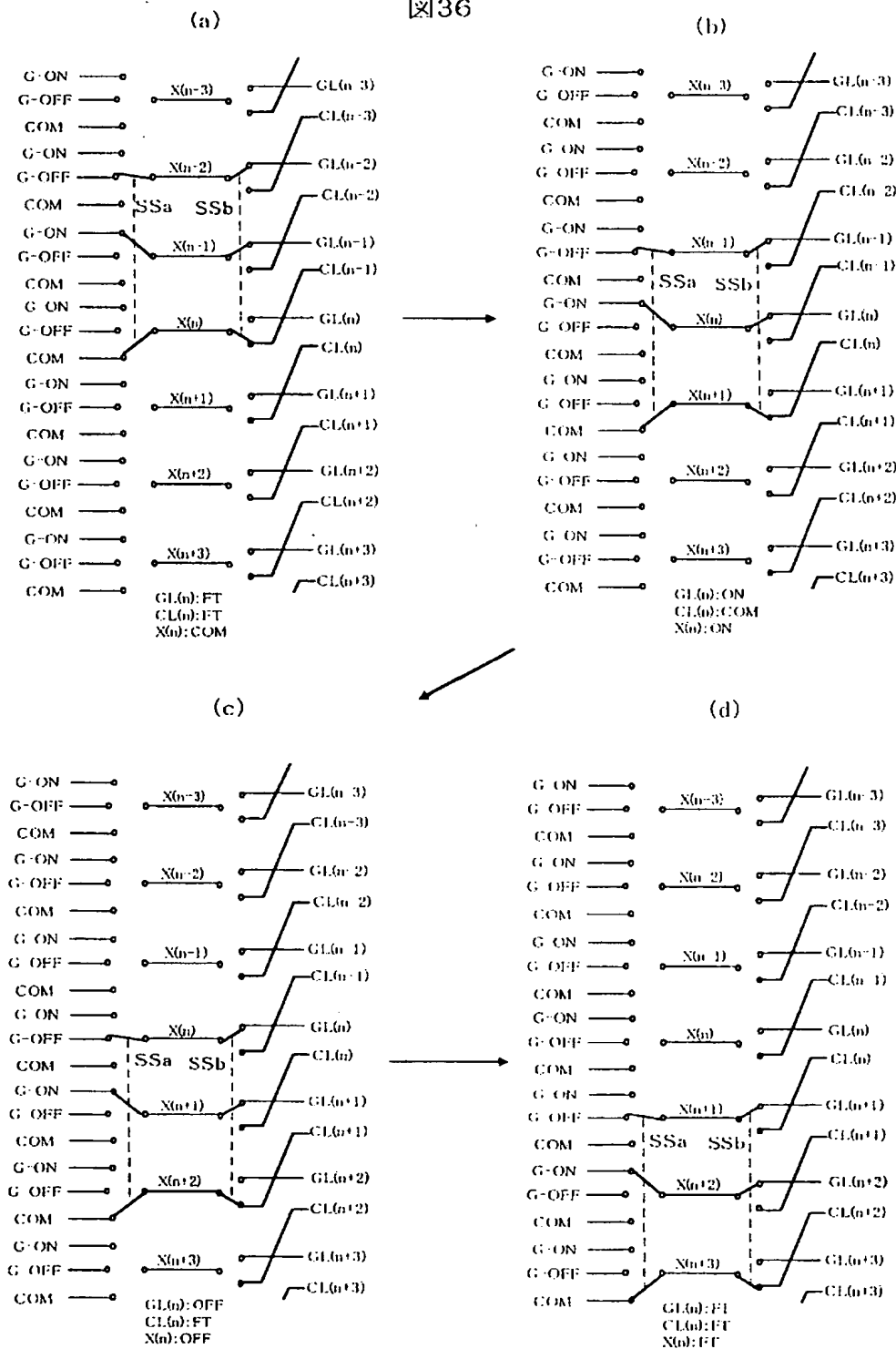
【図 35】

図35



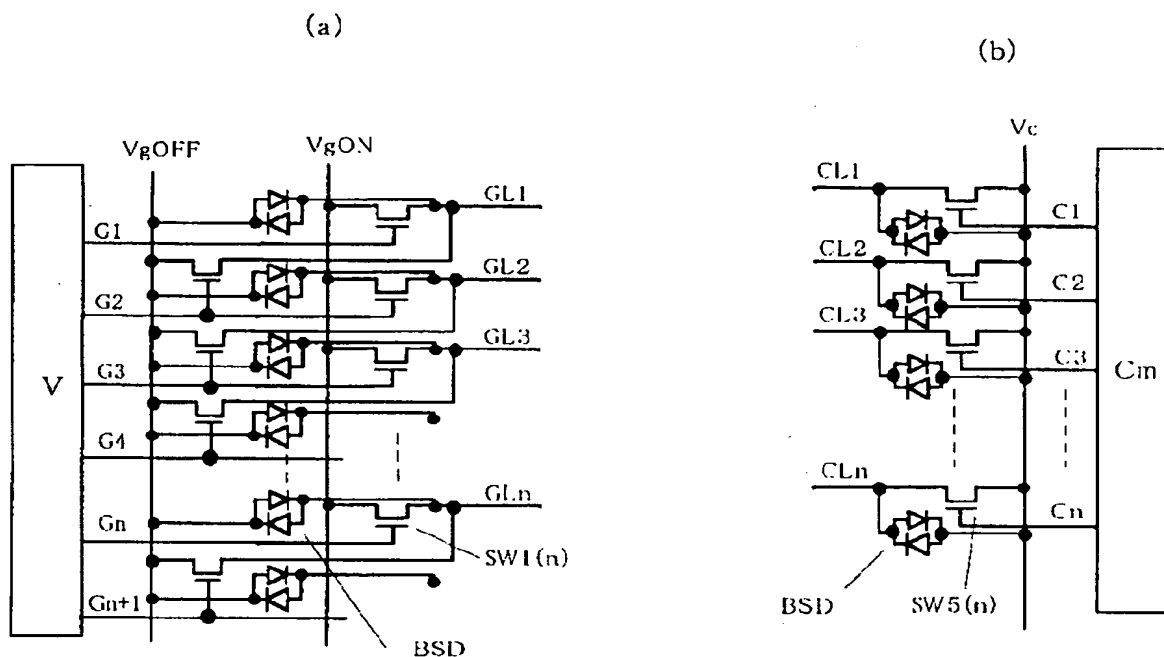
【図 3 6】

図36



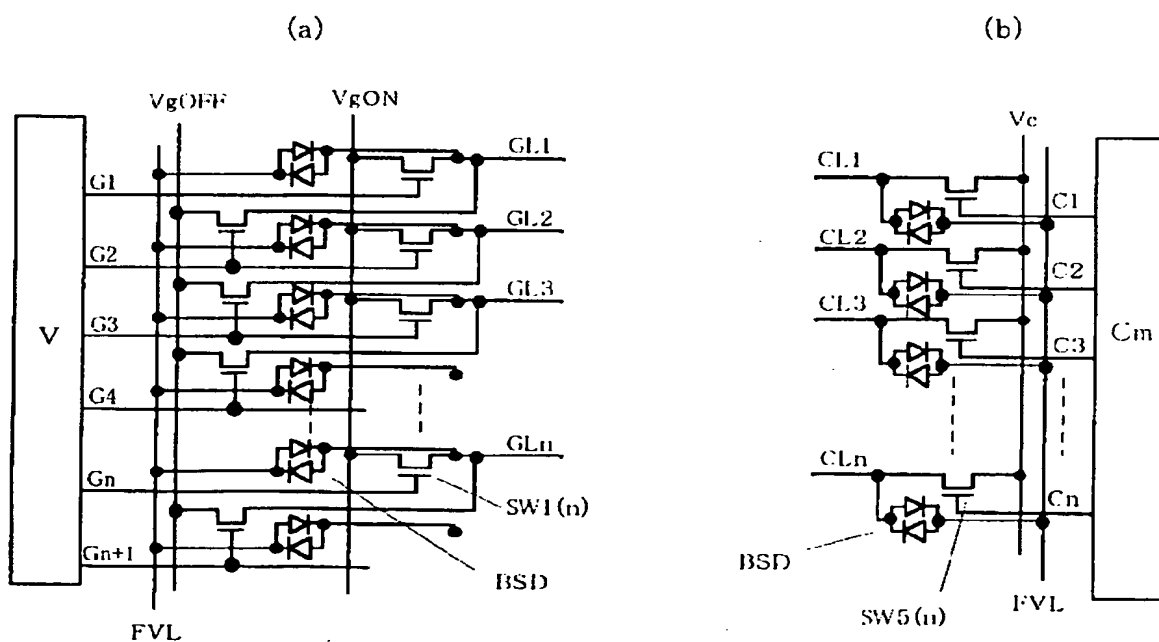
【図 38】

図 38



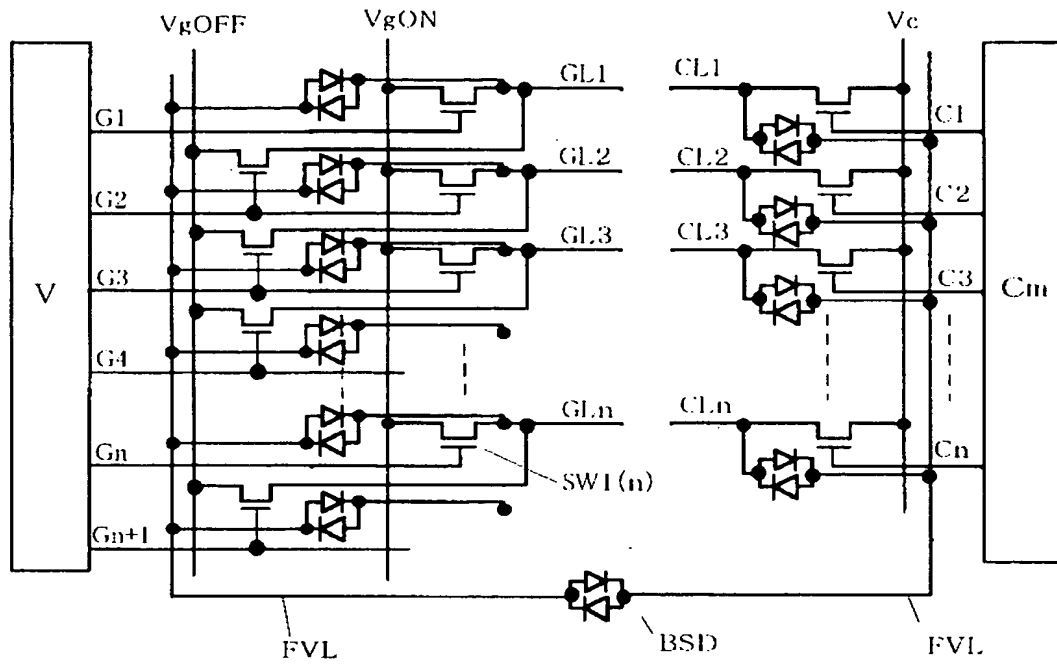
【図 39】

図 39



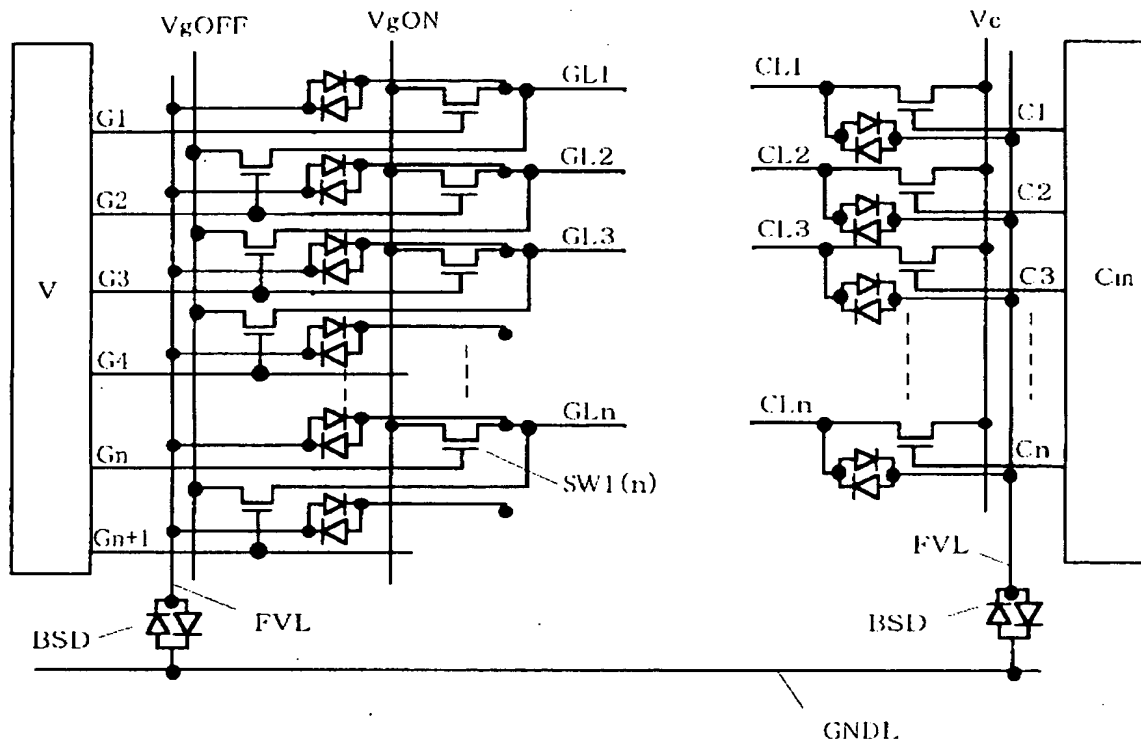
【図 40】

図 40



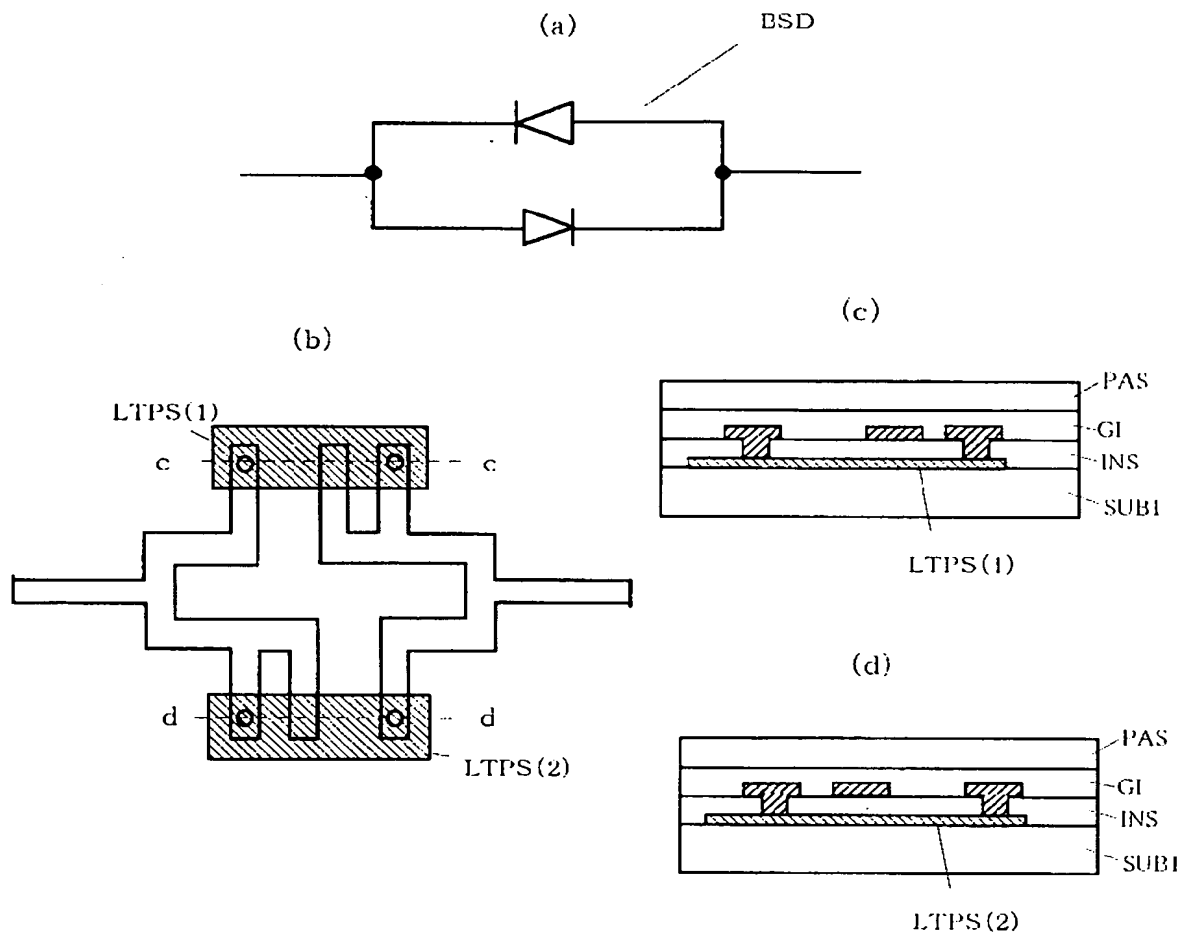
【図 4 1】

図41



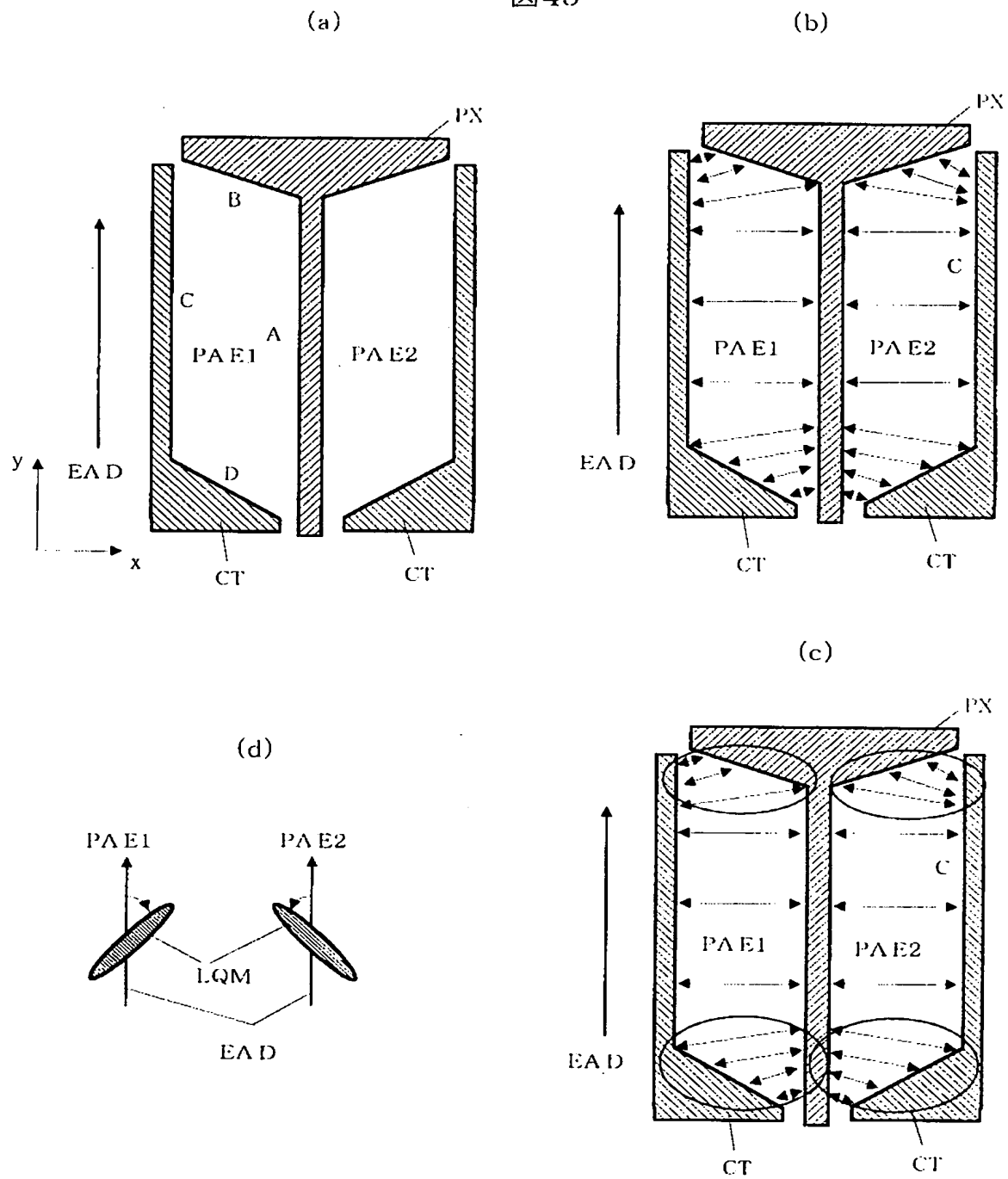
【図 42】

図42

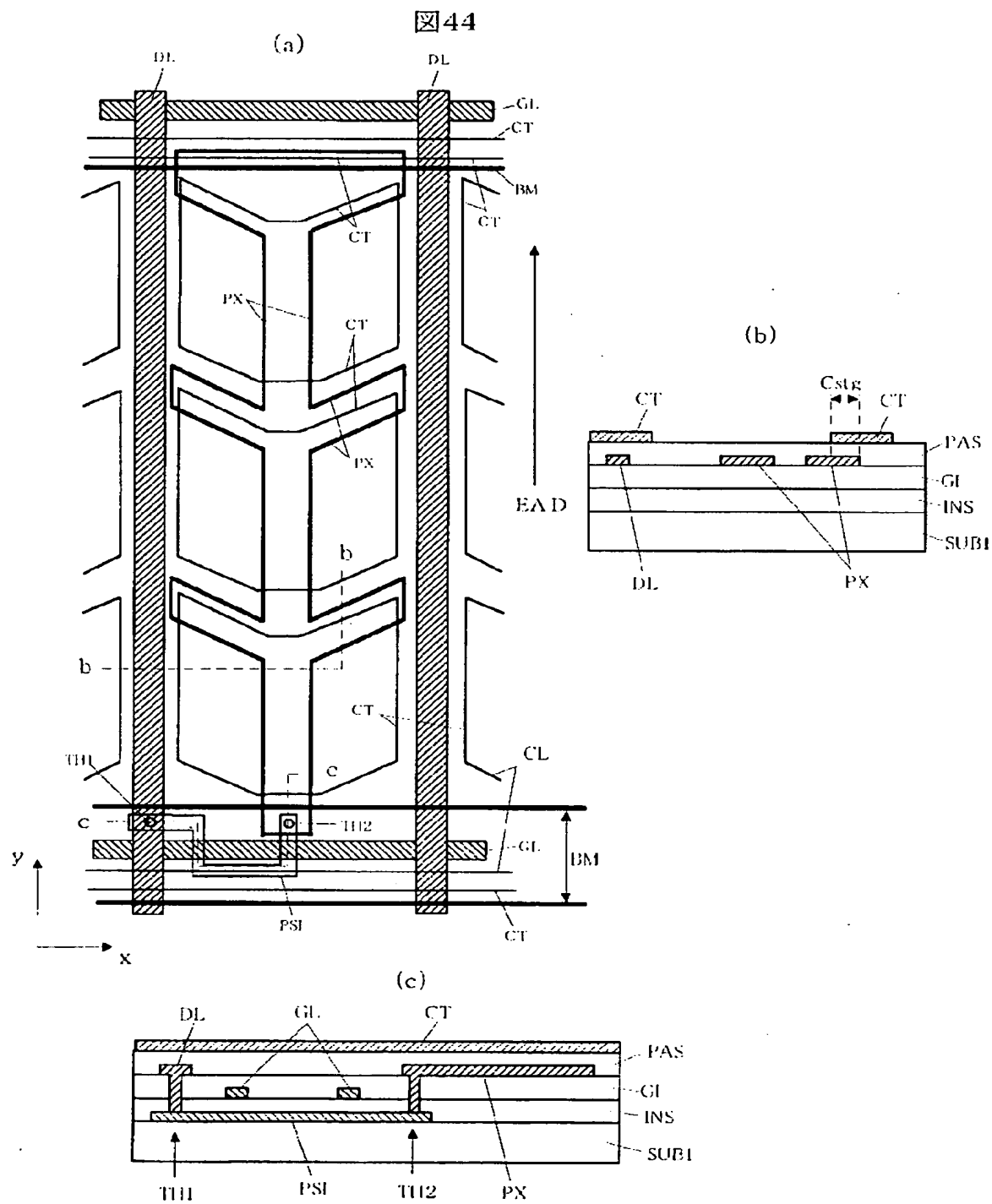


【図 43】

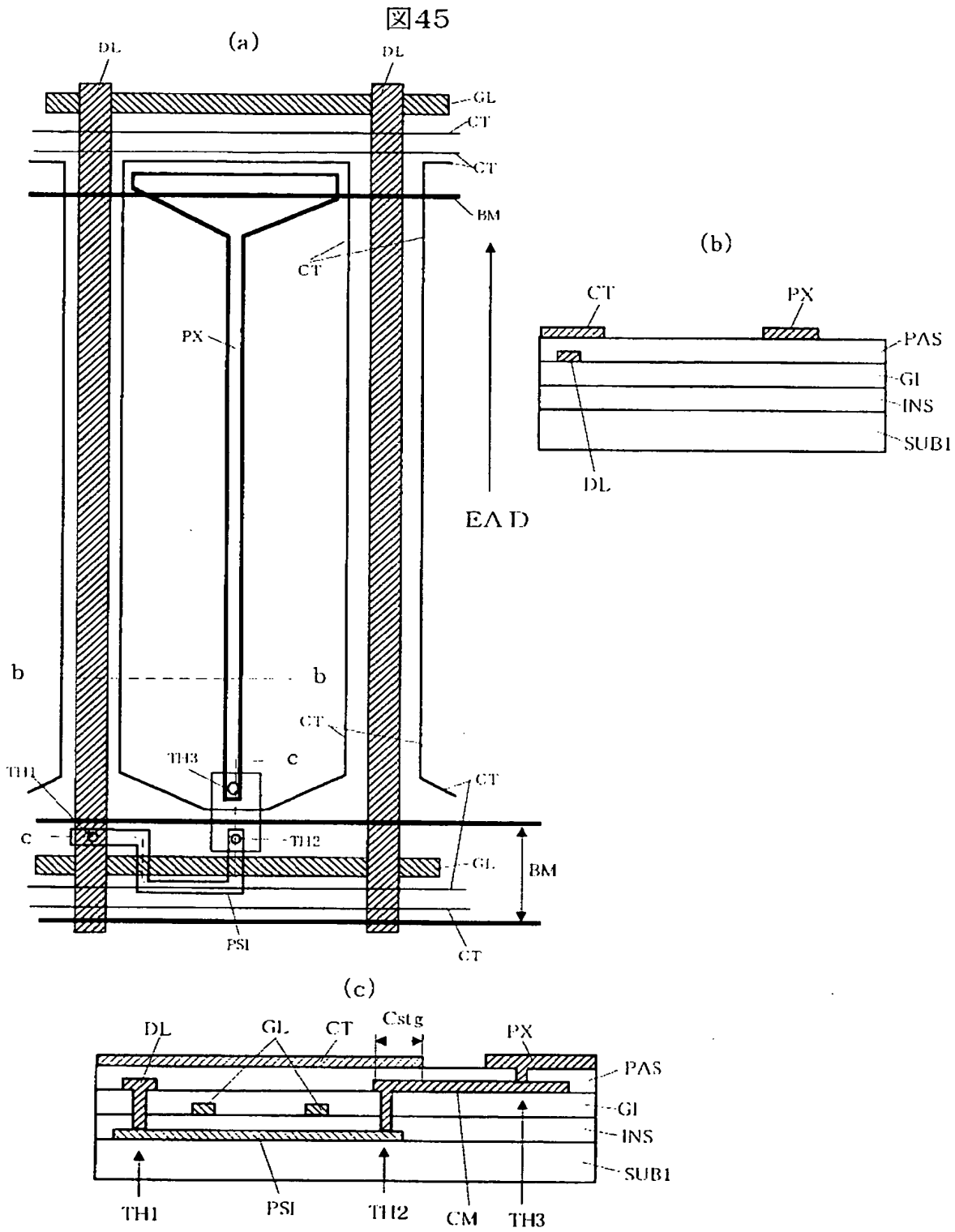
図 43



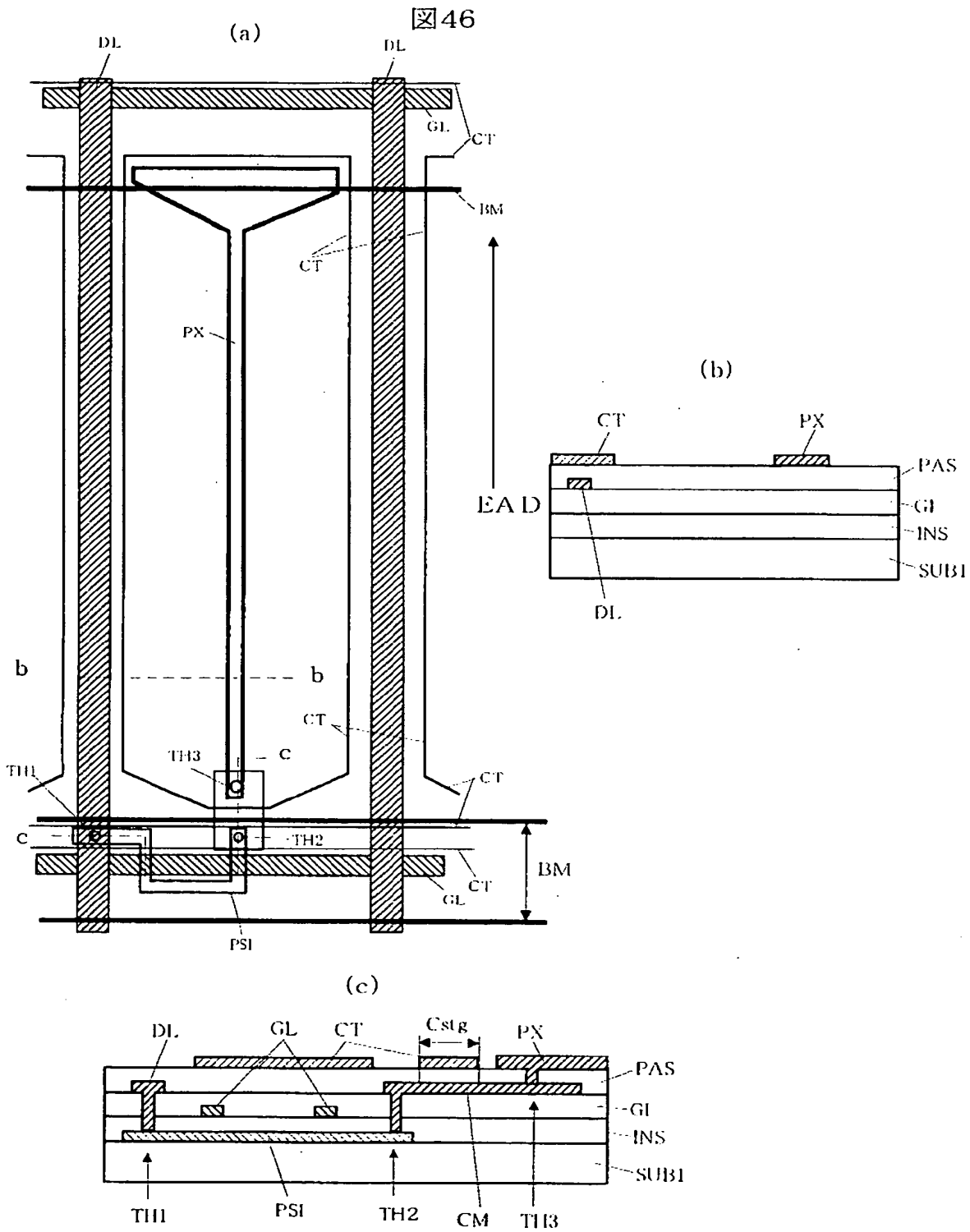
【図 4 4】



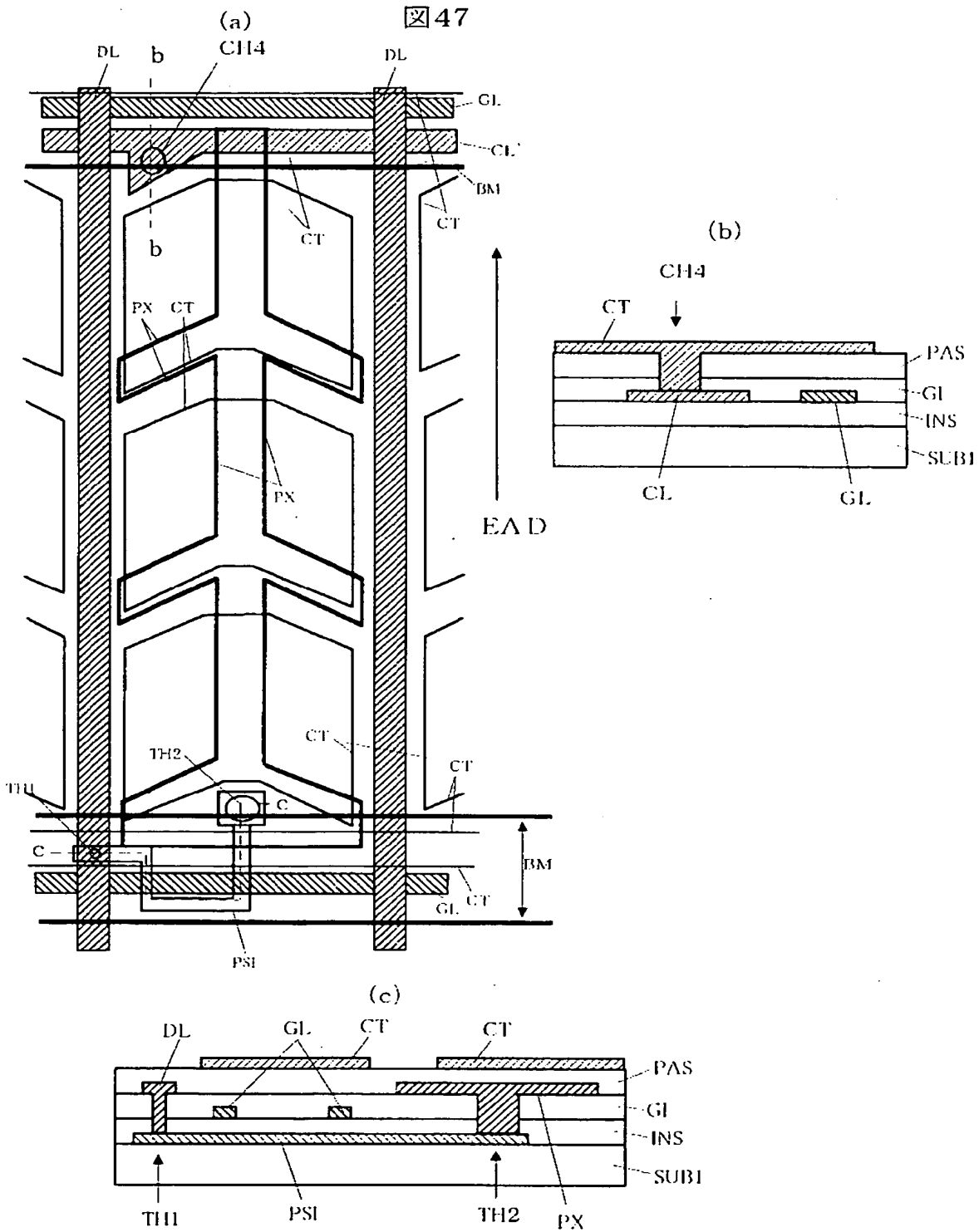
【図 45】



【図 46】

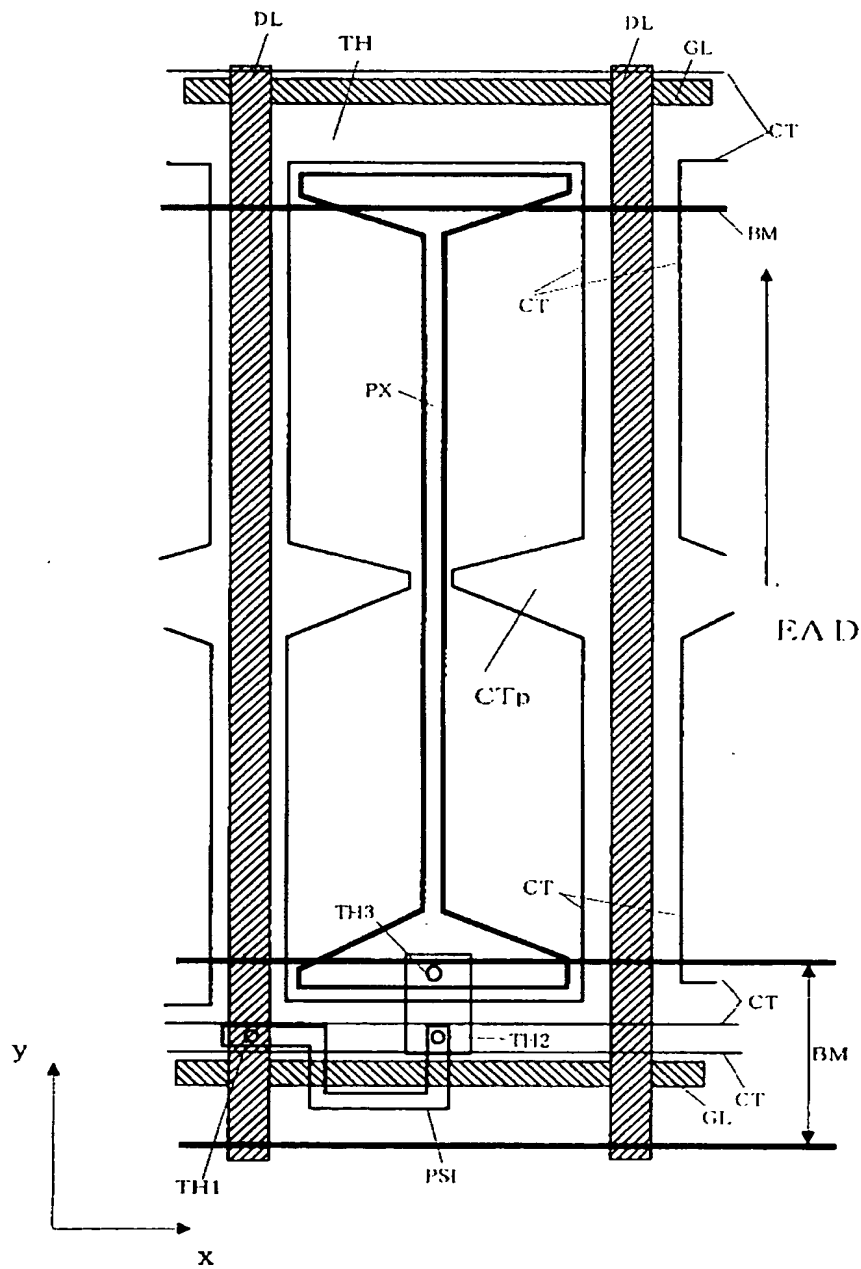


【図 47】



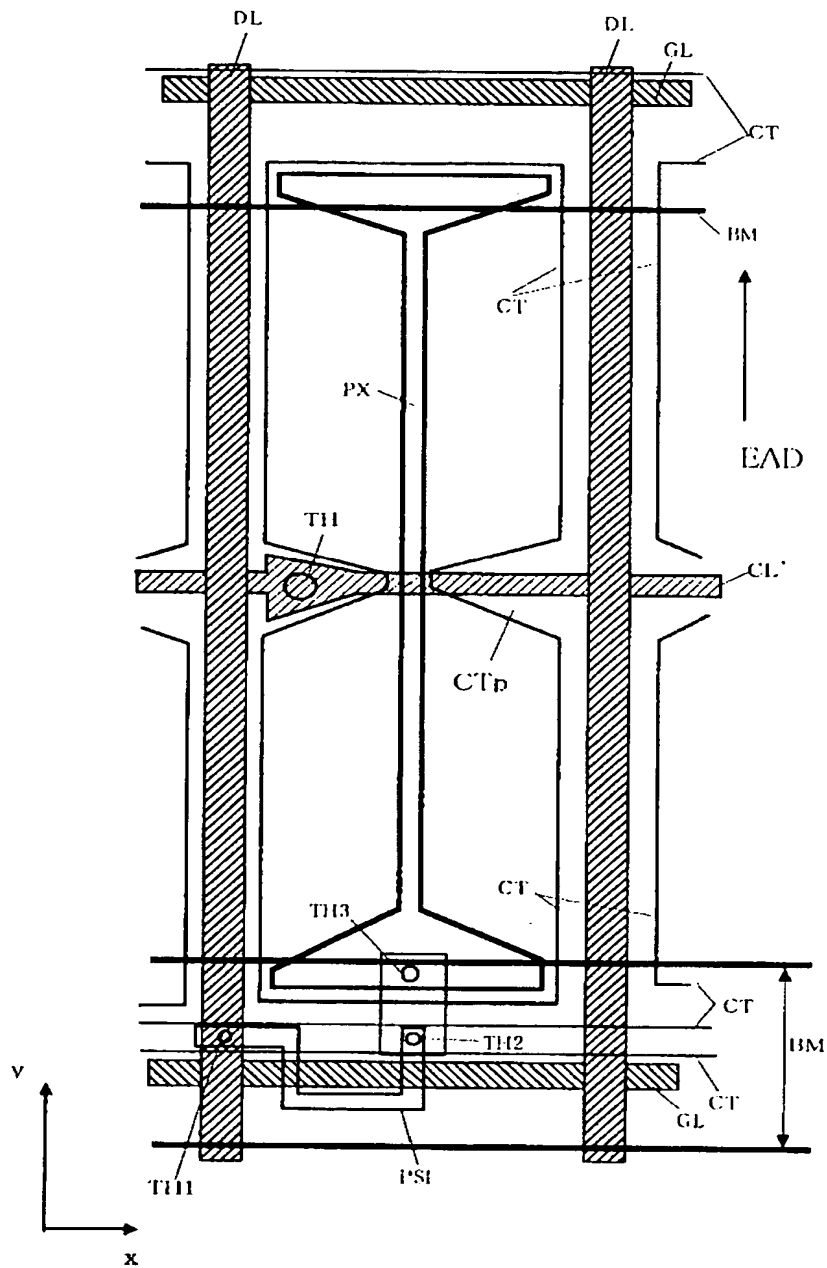
【図 49】

図49



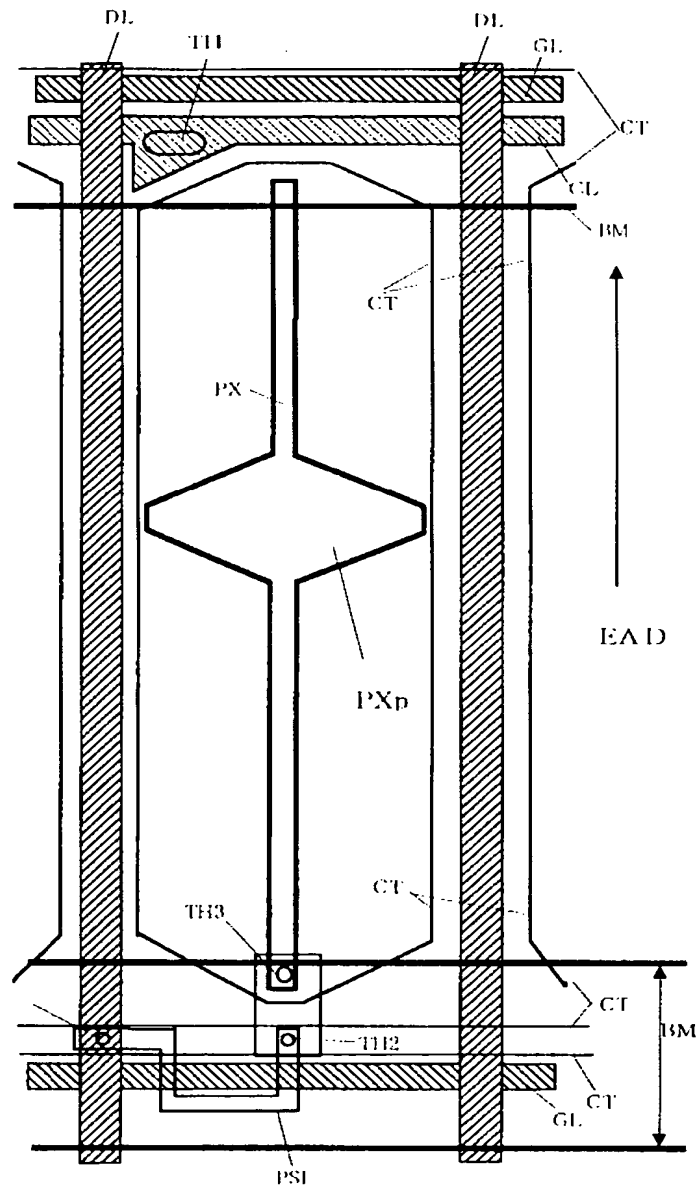
【図 50】

図50



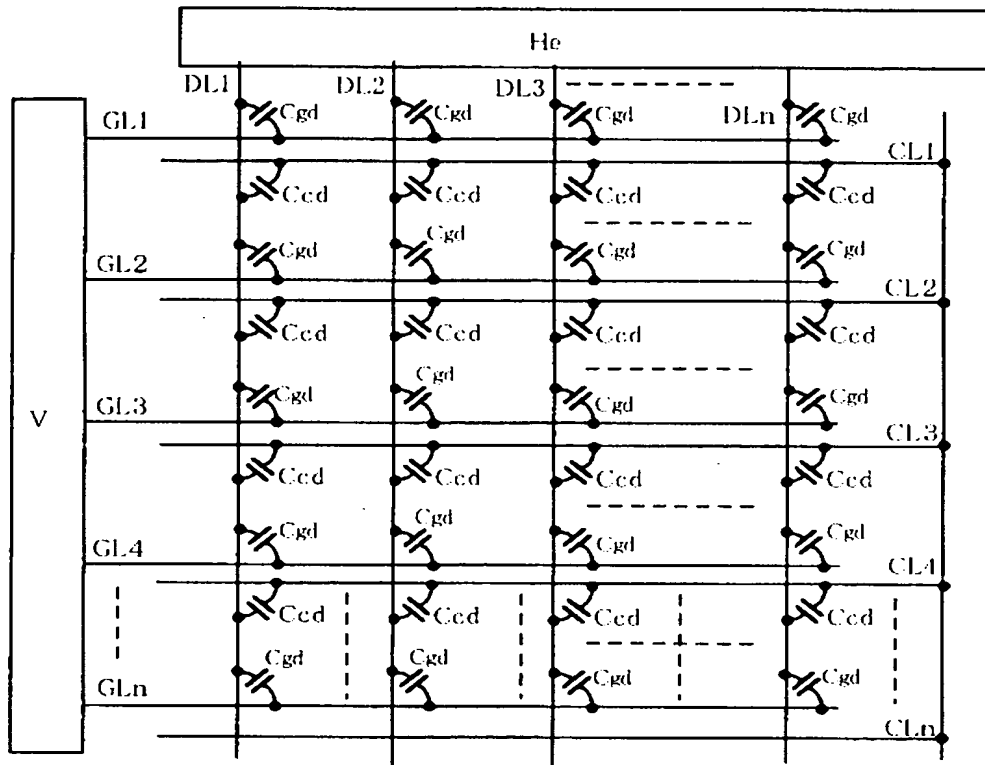
【図 51】

図51



【図 53】

図 53



【書類名】 要約書

【要約】

【課題】 ドレイン信号線に映像信号を供給する際に、その不要な電力消費が生じるのを大幅に低減させる。

【解決手段】 一の方向に並設された画素列が該一方向と交差する方向に並設されてマトリクス状に配置された各画素を有し、

各画素列を走査信号で選択し、この選択された各画素列の各画素に映像信号とこの映像信号に対して基準となる基準信号を供給するものであって、

映像信号を供給するドレイン信号線は走査信号を供給するゲート信号線および基準信号を供給する対向電圧信号線と交差して配置され、

前記基準信号は選択された画素列毎に供給されるとともに、該選択された画素列以外の他の画素列における対向電圧信号線はそれぞれフローティング状態になるように構成されている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 6 3 3 9 2
受付番号	5 0 3 0 0 3 8 4 7 8 0
書類名	特許願
担当官	第二担当上席 0 0 9 1
作成日	平成 1 5 年 3 月 1 1 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月10日
-------	-------------

次頁無

【書類名】 出願人名義変更届

【提出日】 平成15年 7月24日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2003- 63392

【承継人】

 【識別番号】 502356528

 【氏名又は名称】 株式会社日立ディスプレイズ

【承継人代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【譲渡人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【譲渡人代理人】

 【識別番号】 100083552

 【弁理士】

 【氏名又は名称】 秋田 収喜

 【電話番号】 03-3893-6221

【手数料の表示】

 【予納台帳番号】 014579

 【納付金額】 4,200円

【提出物件の目録】

 【包括委任状番号】 9003109

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2003-063392
受付番号	50301220906
書類名	出願人名義変更届
担当官	大井 智枝 7662
作成日	平成 15 年 9 月 30 日

< 認定情報・付加情報 >

【承継人】

【識別番号】	502356528
【住所又は居所】	千葉県茂原市早野 3300 番地
【氏名又は名称】	株式会社 日立ディスプレイズ

【承継人代理人】

申請人

【識別番号】	100083552
【住所又は居所】	東京都北区東田端 1 丁目 13 番 9 号 ツインビル 田端 B 2 階
【氏名又は名称】	秋田 収喜

【譲渡人】

【識別番号】	000005108
【住所又は居所】	東京都千代田区神田駿河台四丁目 6 番地
【氏名又は名称】	株式会社日立製作所

【譲渡人代理人】

【識別番号】	100083552
【住所又は居所】	東京都北区東田端 1 丁目 13 番 9 号 ツインビル 田端 B 2 階
【氏名又は名称】	秋田 収喜

特願 2 0 0 3 - 0 6 3 3 9 2

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ

特願 2 0 0 3 - 0 6 3 3 9 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 3 1 日
新規登録

住 所
氏 名

東京都千代田区神田駿河台 4 丁目 6 番地
株式会社日立製作所